

シンポジウム(口頭講演) | シンポジウム：原子層プロセス (ALP: Atomic Layer Process) の解析技術と応用技術

📅 2025年3月16日(日) 9:30 ~ 12:00 📍 K202 (講義棟)

[16a-K202-1~6] 原子層プロセス (ALP: Atomic Layer Process) の解析技術と応用技術

浜口 智志(阪大)、霜垣 幸浩(東大)

9:30 ~ 10:00

[16a-K202-1]

絶縁膜成膜プロセスにおける大規模パターンでのカバレッジおよび膜質分布の予測と制御

○久保井 信行¹ (1.ソニーセミコンダクタソリューションズ)

10:00 ~ 10:15

[16a-K202-2]

Mo(CO)₆を用いたMo-ALDプロセスの低抵抗化と反応機構解析

○(M2)小原 聡顕¹、山口 潤¹、佐藤 登¹、筑根 敦弘¹、霜垣 幸浩¹ (1.東大院工)

10:15 ~ 10:30

[16a-K202-3]

ULSI-Cu配線バリア層用ZrNのALD製膜プロセス開発

○(M2)田中 潤¹、山口 潤¹、佐藤 登¹、筑根 敦弘¹、霜垣 幸浩¹ (1.東大院工)

10:30 ~ 10:45

[16a-K202-4]

Rudense[®]材料の酸化物表面上の室温飽和吸着・酸化特性

○洲崎 慧¹、鈴木 晴登²、宮澤 諒²、山本 有紀³、尾池 浩幸³、海老原 良介³、池村 周也³、後藤 玄³、岩永 宏平³、廣瀬 文彦² (1.山形大工、2.山形大院理工、3.東ソー)

◆ 英語発表

11:00 ~ 11:30

[16a-K202-5]

Atomic Layer Process (ALP) for Metal Oxide Thin Films: Enhancing Selectivity and Inhibitors' Role

Hae Lin Yang¹, Gyeong Min Jeong¹, i-Hyeon Kwon¹, Min Chan Kim¹, OJin-Seong Park¹
(1.Hanyang University)

11:30 ~ 12:00

[16a-K202-6]

Area-Selective Depositionを併用した超高選択Atomic Layer Etching技術

○深沢 正永¹ (1.産総研 SFRC)

絶縁膜成膜プロセスにおける大規模パターンでの カバレッジおよび膜質分布の予測と制御

Prediction and control of coverage and film properties on large-scale pattern for deposition process of Si dielectric films

ソニーセミコンダクタソリューションズ株式会社, °久保井 信行

Sony semiconductor solutions corporation, °Nobuyuki Kuboi

E-mail: Nobuyuki.Kuboi@sony.com

ディスプレイ・ウェアラブルデバイスといった Si に加えて有機膜を用いたデバイスの要望増加に伴い、低温領域まで含めた高アスペクト比パターンでの成膜プロセスのメカニズムの理解とそれに基づいたパターンレベルでのカバレッジ・膜質分布の定量制御の重要性が増している。特に、膜質(膜密度、透水性、密着性等)に関しては、パターン内での分布やその時間変化を直接観測することは難しい。そこで、著者のこれまでのプラズマエッチングのモデル化知見[1][2]を応用して、大規模パターンでの成膜カバレッジ・膜質分布を高速かつ汎用的に定量予測できるシミュレーションモデル開発を行った。

モデルでは、実際の堆積膜上での数千個の原子の運動について、1 辺数 nm の Voxel の中に数千個の原子が含まれその Voxel を計算の基本単位として Voxel 同士が確率に基づいて相互作用する描像とした (Fig. 1)。膜質は、各 Voxel に与えられた結合状態の重み平均値として表現することで、大規模パターンでの分布の表現を可能にした[3]。

低温基板(120°C)での SiN-PECVD プロセス実験では、高い膜密度にもかかわらず柱状のモフォロジーをもつ特徴的な構造が観測された。本成膜モデルを用いた解析、および、膜質のプロセス依存データとの比較検証により、この柱状のモフォロジーをもつ SiN 膜の形成メカニズムとしては、ガス滞在時間が長いことによる解離後の大きく重いプリカーサーの存在が原因であることが分かった (Fig. 2)。すなわち、低温 SiN-PECVD での膜質改善には、SiH₄ 高流量化、低圧化、狭 Gap 化といった短いガス滞在時間の実現が重要である。また、SiO₂-PEALD のトレンチ上成膜特性のシミュレーション解析から、均一な膜厚に成膜されるものの、側壁での膜密度は深さ方向に対して劣化することが示され、実際のウェットエッチレートおよび電気特性評価とも矛盾しない結果となった[4]。プラズマ酸化ステップでの入射酸素イオンによる結合形成が膜質のキーポイントになっており、低圧化によるイオン直進性の向上とエネルギーフラックスの最適化が理想的な ALD を実現するプロセスノブになると考えられる。本講演では、これらについてより詳細に議論したい。

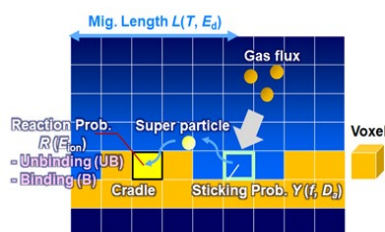


Fig.1 Surface reaction model

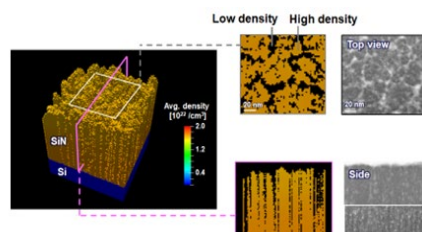


Fig.2 Reproduce of columnar structure

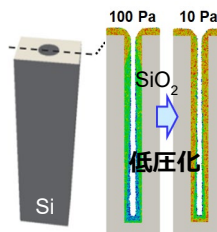


Fig.3 Film density variation

【参考文献】

- [1] N. Kuboi *et al.*, JVST A33, 061308 (2015). [2] N. Kuboi, JJAP 63, 080801 (2024).
[3] N. Kuboi *et al.*, JJAP 62, S11006 (2023). [4] T. Hamano *et al.*, DPS, C-3 (2024).

Mo(CO)₆ を用いた Mo-ALD プロセスの低抵抗化と反応機構解析 Reducing film resistivity and reaction mechanism analysis of Mo-ALD using Mo(CO)₆

東大院工, °(M2)小原聡顕, (P)山口潤, (P)佐藤登, 筑根敦弘, 霜垣幸浩

The Univ. Tokyo, °S. Obara, J. Yamaguchi, N. Sato, A. Tsukune, and Y. Shimogaki

E-mail: soken-1108-monday@g.ecc.u-tokyo.ac.jp

ULSI のスケーリングに伴い、Logic、及び、3D-NAND デバイスの配線抵抗がますます上昇して
くるため、Cu, W に代わる次世代配線材料として Mo が期待されている。各デバイスのプロセス
制約温度 400°C, 600°C 以下で Mo を高アスペクト比構造に埋め込む必要がある。そのため、段差被
覆性に優れ、原子層レベルで膜厚を制御でき、比較的低温プロセスが可能な原子層成長 (ALD)
プロセスが有望である。Mo-ALD の原料としては、MoO₂Cl₂ が最もよく使われるが、ハロゲンフ
リーな Mo(CO)₆ を用いた新たな Mo-ALD プロセスを今回検討した。

まず、低抵抗 Mo 膜を製膜するために、各種反応ガス (還元剤) を同時供給する CVD 反応を行
った際の膜組成 (不純物) について検討を行った。還元剤として、H₂, NH₃, N₂H₃CH₃, N₂H₄ を用い、
200°C にて CVD 製膜を行った。N₂H₄ は C 不純物の除去に最も有効であるが、N 不純物が多く含ま
れることが分かった。NH₃ は最も低抵抗な膜を製膜したが、C, O, N 不純物の多さが課題である。
製膜後 H₂ 還元を 400~800°C で 20min 行ったところ、O 不純物は還元温度を上げると減少し、400°C
では 6 at.%, 600°C では 2 at.% となった。C 不純物は 600°C までの還元では 10 at.% 程度で減少せず、
800°C では 3 at.% まで減少した。

次に、Mo-ALD 特性について検討を行った。Fig.1 に示した GPC の温度依存性から、150°C 以上
では原料が吸着中に熱分解したと思われる。段差被覆性の評価を行った結果を Fig.2 に示す。145°C
では、ステップカバレッジ 100% で製膜された。原料が熱分解する 175°C でも、ステップカバレッ
ジ 91% と比較的良好であった。175°C で原料パージを十分に行うと、ボトムの方が厚く製膜された。
これらの製膜挙動についてニューラルネットワークポテンシャルを利用した原子レベルシミュレ
ータを活用して解析した。これらの製膜特性、および、反応解析結果を併せて報告する。

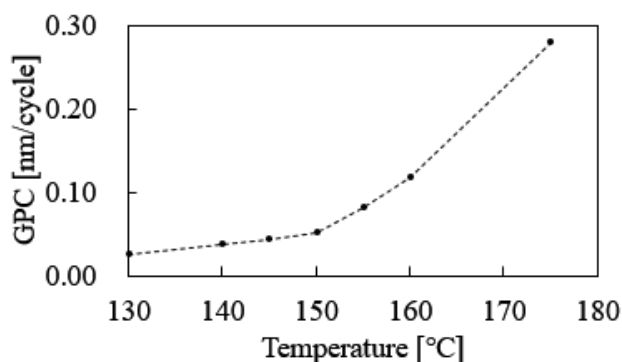


Fig.1 Temperature dependence of GPC

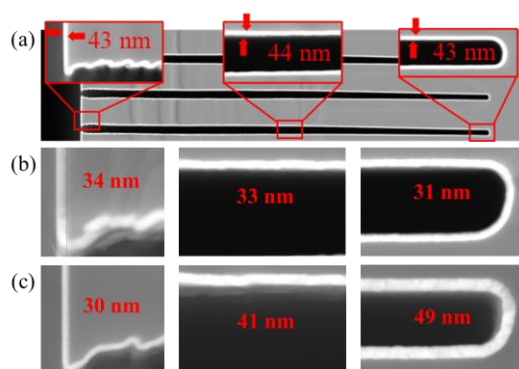


Fig.2 Step coverage evaluation of Mo-ALD at (a)145°C, (b)175°C, and (c)175°C with long precursor purge period (AR=40).

ULSI-Cu 配線バリア層用 ZrN の ALD 製膜プロセス開発

ZrN-ALD process development for barrier layer of ULSI-Cu interconnect

東大院工, °(M2) 田中潤, (P) 山口潤, (P) 佐藤登, 筑根敦弘, 霜垣幸浩

The Univ. Tokyo, °J. Tanaka, J. Yamaguchi, N. Sato, A. Tsukune, and Y. Shimogaki

E-mail: june-bach-11@g.ecc.u-tokyo.ac.jp

ULSI デバイスは高性能化・低消費電力化のためにトランジスタの微細化・高集積化が進み、それに伴い Cu 多層配線の配線幅が縮小されてきた。しかし配線幅が Cu 中の電子の平均自由行程 (約 40nm) 程度まで縮小されると結晶粒界や側壁界面での電子の非弾性散乱の影響が無視できなくなり抵抗率が増加する。特に Cu が層間絶縁膜に拡散することを防ぐ TaN バリアは Cu に比べて高抵抗 (Cu: $1.68 \mu\Omega \cdot \text{cm}$, TaN: $135 \mu\Omega \cdot \text{cm}$) でバリア性維持のため薄膜化に限界がある。そのため、微細化によって配線中の Cu 占有比率が減少し、配線抵抗の急激な増加につながる。また、上下配線をつなぐビアの底に製膜されるバリアによる抵抗増加も問題である。

そこで本研究では新規バリア材料として ZrN に注目した。ZrN は遷移金属窒化物の中で最も低い抵抗率 ($13.6 \mu\Omega \cdot \text{cm}^1$) を持ち、 500°C アニール下でもバリア性を維持する²。今回は微細配線への均一な製膜に適した ALD による ZrN 製膜を行った。原料は $\text{Zr}[\text{N}(\text{CH}_3)_2]_4$ 、反応ガスは NH_3 、キャリアガス/パージガスには N_2 を用いた。Fig. 1 は 250°C で ALD 製膜した ZrN のサイクル数に対する膜厚および抵抗率のグラフである。サイクル数に対して膜厚が線形に増加しており、膜厚制御性に優れているが、理想的な低抵抗膜にはなっていない。Fig. 2 は 1 サイクルあたりの製膜量 (GPC: growth per cycle) を温度に対してプロットしたグラフである。 150°C から 250°C に GPC がおよそ一定となる ALD-window が確認できる。他にも原料の飽和吸着挙動など理想的な ALD 特性が得られたが、炭素や酸素の不純物が多く含まれており導電性も不十分であった。より低抵抗な膜にするための方法について検討を行ったので報告する。

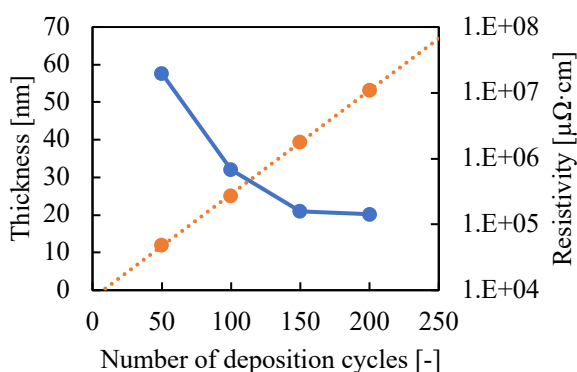


Fig. 1 The ZrN film thickness and resistivity dependency on the number of deposition cycles at 250°C .

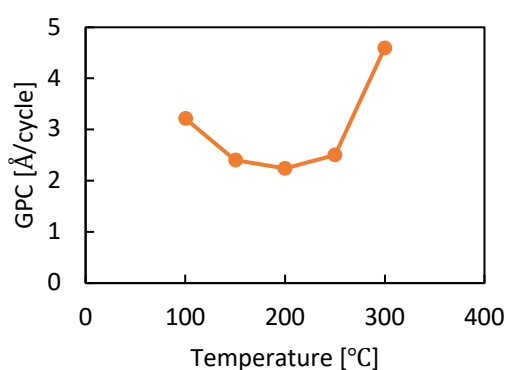


Fig. 2 The temperature dependency of GPC. The GPC is approximately constant (ALD-window) between 150°C and 250°C .

[1] C. C. Wang *et al.*, *Journal of Materials Science*, **30**, 1627–1641 (1995).

[2] M.B. Takeyama *et al.*, *Japanese Journal of Applied Physics*, **61** SJ0802 (2022).

Rudense®材料の酸化物表面上の室温飽和吸着・酸化特性

RT adsorption of Rudense® on Ru oxide surfaces and its oxidization

山形大¹, 東ソ一² ○(B)洲崎 慧¹, (M2)鈴木 晴登¹, (D1)宮澤 諒¹, 山本 有紀²,

尾池 浩幸², 海老原 良介², 池村 周也², 後藤 玄², 岩永 宏平², 廣瀬 文彦¹

Yamagata Univ.¹, Tosoh Corp.², °Satoshi Suzaki¹, Haruto Suzuki¹, Ryo Miyazawa¹, Yuki Yamamoto²,

Hiroyuki Oike², Ryosuke Ebihara², Shuya Ikemura², Hajime Goto², Kohei Iwanaga²,

Fumihiko Hirose¹

E-mail: fh Hirose@yz.yamagata-u.ac.jp

1. はじめに 酸化ルテニウムはLSIにおけるキャパシタなどの機能性材料や領域選択膜に使われる。デバイスの微細化が進む中、同薄膜においても低温で被覆性よく堆積する必要がある。我々は室温原子層堆積の可能性を明らかにするため、Rudense® (化学式 $\text{Ru}(\text{EtCp})(\eta^5\text{-CH}_2\text{C}(\text{Me})\text{CHC}(\text{Me})\text{O})$)の室温でのSi表面及び酸化ルテニウム表面での吸着反応を赤外吸収分光で観察し、その反応性を調べた。同材料は室温で飽和吸着することがわかり、飽和表面はプラズマ励起加湿Ar照射で再吸着のための再活性化が可能なることもわかった。同材料の低温反応と室温原子層堆積の可能性について議論を行う。

2. 実験結果 室温下で同材料を真空容器内でサンプル表面に照射し、表面状態を多重内部反射赤外吸収分光で観察した。サンプル表面はRudense®を飽和吸着、プラズマ励起加湿Ar酸化を繰り返して、形成した酸化ルテニウム表面である。炭化水素の成分を示す赤外吸収率スペクトルを図1に示す。2800 から 3000 cm^{-1} の赤外吸収率が増加し、炭化水素が表面に持ち込まれた様子を示し、Rudense®が室温で吸着したと解釈できる。このピーク強度はRudense®吸着密度と相関すると仮定し、照射量でプロットしてみた。(図2)この材料は室温下でも飽和吸着することが示された。反応次数として一次と二次反応が共存し、解離吸着反応を示唆している。同表面にプラズマ励起加湿アルゴンを照射すると飽和は解除され、さらに吸着できることも明らかになった。以上より、Rudense®の低温反応性が示されたが、学会では実験結果を基に吸着酸化過程について議論する。

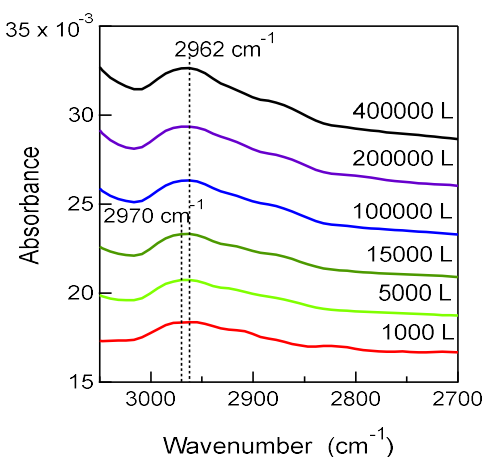


図1 Rudense®照射による炭化水素に関わる赤外吸収率スペクトル変化

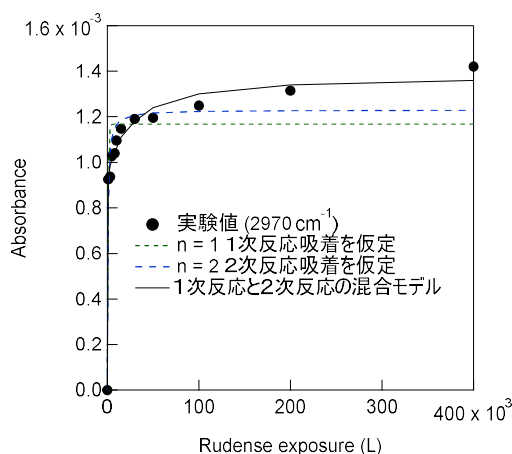


図2 Rudense®照射量による炭化水素赤外吸収率の変化

Atomic Layer Process (ALP) for Metal Oxide Thin Films: Enhancing Selectivity and Inhibitors' Role

Hae Lin Yang, Gyeong Min Jeong, Ji-Hyeon Kwon, Min Chan Kim, Jin-Seong Park*

Division of Material Science and Engineering, Hanyang University, Seoul, 04763, Republic of Korea

*E-mail: jsparklime@hanyang.ac.kr

The precise deposition of metal oxide thin films onto various substrates without additional patterning is essential for advanced semiconductor patterning. Area-selective atomic layer deposition (AS-ALD) offers a promising solution, enabling selective deposition and preventing unwanted coverage. Small molecular inhibitors (SMIs) with aliphatic alkyl chains, like DMA-TMS, TMPS, and Hacac, are widely studied for AS-ALD, enabling precise control on nanometer-scale patterns. However, research on SMIs with aromatic blocking groups is limited. This study explores the chemical and physical passivation abilities of four Si-based SMIs with phenyl ligands: TCPS, MDCPS, CDMPS, and DCDPS. DFT calculations reveal that TCPS, MDCPS, and CDMPS prefer exothermic adsorption reactions on SiO₂ surfaces, leading to a significant increase in water contact angle (3-40°), confirming successful passivation. Monte Carlo simulations showed that MDCPS (91% surface coverage) exhibited superior passivation and selectivity, surpassing aliphatic SMIs like DMA-TMS. These findings demonstrate the advantages of aromatic SMIs for semiconductor applications.

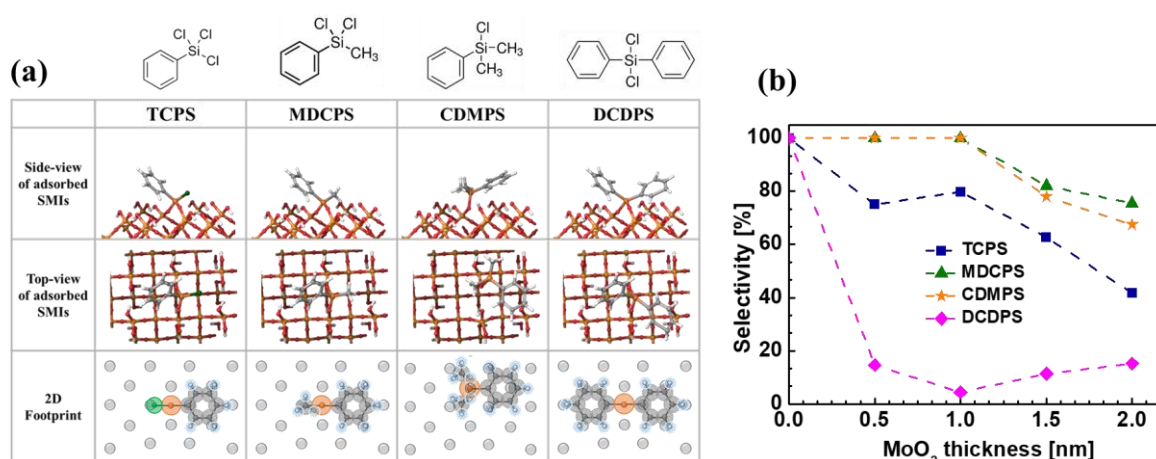


Fig. 1. (a) The adsorption structures of aromatic SMIs on SiO₂ surfaces based on the number of reactive groups. (b) The selectivity of ASALD MoO₂ on SiO₂, depending on various inhibitors

Area-Selective Deposition を併用した 超高選択 Atomic Layer Etching 技術

High selective atomic layer etching in combination with area-selective deposition

産総研 先端半導体研究センター¹ ○深沢 正永¹

Semiconductor Frontier Research Center (SFRC),

National Institute of Advanced Industrial Science and Technology (AIST)¹

E-mail: Masanaga.Fukasawa@aist.go.jp

半導体デバイスの微細化/3次元化が進むにつれ、更なる高選択エッチングが求められており、その手段の一つとして Atomic Layer Etching (ALE) の実用化が検討されている [1]。本講演では、 $\phi 300\text{mm}$ 対応のエッチング装置を用いて Area-Selective Deposition (ASD) と ALE を併用した超高選択エッチングを行った結果について報告する。近年、成膜を主眼とした AS (Area Selective) -ALD/ALE の組み合わせが活発に研究されているが、これを逆転し、エッチングを主目的とした点が特徴である。

従来の RIE では、エッチング、デポジションという相反する反応を高精度に制御する事で高選択比加工を実現してきたが、異なる反応種が同時にウェハに照射されるため、メカニズム解明の難易度が高い課題があった。特に、近年多用されるパルスプラズマでは、プラズマ過渡状態や表面反応の制御が急速に複雑化し、その理解が不十分なまま実用化が進んでいる。

一方で、原子層プロセス (ALP) の利点の一つに、プロセス自体の簡素化が挙げられる。例えば、ALE では吸着と脱離ステップに機能分離することでプロセスが簡素化される。今回は、更に独立した ASD ステップを追加し、マスク上のみにエッチング保護膜を成長させる事でプロセス制御性 (高選択比化) を飛躍的に向上させることが可能になった。

このようなプロセス設計の指針を「原子スケールプロセス設計 (atomic-scale process design)」と名付けた (Fig.1)。今回は、ASD と ALE の組み合わせを一例として示したが、材料や用途に応じて最適な Atomic Layer Process (ALP) を組み合わせる事で、幅広い応用が期待される。

又、応用のみならず、簡素化された ALP は、エッチング中の複雑な表面反応素過程の理解の深化にも繋がると考える。例えば、長時間プロセスが課題の ALE は、産業応用の観点で今後は短時間化され、より周期の短いパルスプラズマとの融合領域に向かう事が予想される。時定数の異なる ALE とパルスプラズマの融合領域を実現するには、現在研究が進んでいる ALE の研究データおよびその知見の蓄積は必要不可欠であり、その実現に向け、当該分野における研究開発の更なる活性化を期待する。

【謝辞】この成果の一部は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の「ポスト 5G 情報通信システム基盤強化研究開発事業」(JPNP20017) の助成事業の結果得られたものです。

[1] M. Honda et al., J. Phys. D: Appl. Phys. 50 (2017) 234002.

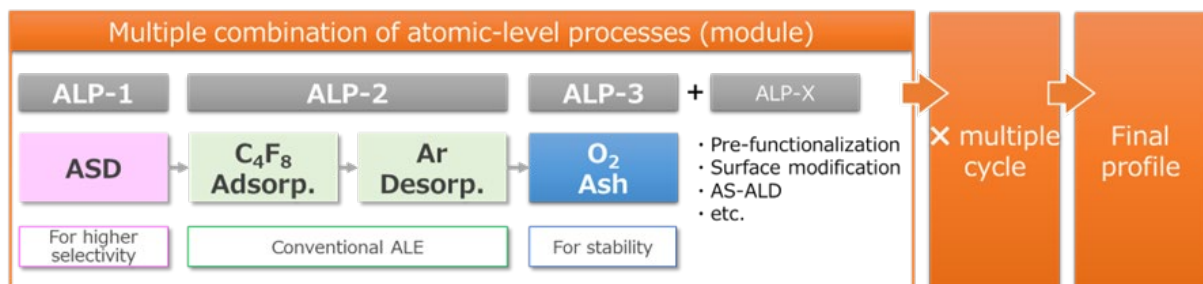


Fig.1 Concept of atomic-scale process design