

一般セッション(口頭講演) | 13 半導体: 13.5 デバイス/配線/集積化技術

2025年3月16日(日) 9:00 ~ 12:00 会 K508 (講義棟)

**[16a-K508-1~11] 13.5 デバイス/配線/集積化技術**

川野 連也(東大)

ソニーセミコンダクタソリューションズ株式会社

PR

9:00 ~ 9:15

[16a-K508-1]

新電解技術によるSiO<sub>2</sub>配線溝のエッチング○岩津 春生<sup>1</sup>、新海 聡子<sup>2</sup>、小野 諒子<sup>2</sup> (1.KMP研究所、2.九工大)

9:15 ~ 9:30

[16a-K508-2]

新電解技術によるSiO<sub>2</sub>へのRu配線めっき○岩津 春生<sup>1</sup>、新海 聡子<sup>2</sup>、小野 諒子<sup>2</sup> (1.KMP研究所、2.九工大)

9:30 ~ 9:45

[16a-K508-3]

原子論的計算に基づくRuのサイズ効果の解析

○田中 貴久<sup>1</sup> (1.慶大理工)

9:45 ~ 10:00

[16a-K508-4]

CuIを原料とする選択CVD法によるShallow-trench上へのCu成長

○宮本 裕<sup>1</sup>、山内 智<sup>1</sup> (1.茨城大院)

10:00 ~ 10:15

[16a-K508-5]

パルスめっき法を用いたビアフィリング銅めっきのシミュレーション

○トン リチュ<sup>1</sup>、永山 達彦<sup>1</sup> (1.計測エンジニアリング)

◆ 奨励賞エントリー

10:30 ~ 10:45

[16a-K508-6]

ハイブリッド・ボンディングを適用した3次元フラッシュメモリにおける貼り合わせ界面空隙の内圧低減技術開発

○大形 彩斗<sup>1</sup>、川西 絢子<sup>1</sup>、久米 一平<sup>1</sup>、有田 幸司<sup>1</sup>、山脇 秀之<sup>1</sup> (1.キオクシア)

10:45 ~ 11:00

[16a-K508-7]

ハイブリッド接合への応用に向けたSiCN膜の接合メカニズム解明

○山本 泰輔<sup>1</sup>、北川 颯人<sup>1</sup>、佐藤 亮輔<sup>1</sup>、蛭子 颯大<sup>1</sup>、坂田 智裕<sup>2</sup>、井上 史大<sup>1</sup> (1.横浜国大、2.東レリサーチセンター)

11:00 ~ 11:15

[16a-K508-8]

プラズマ活性化による表面改質とウエハ接合時の挙動解析

○尾形 峻太<sup>1</sup>、佐藤 亮輔<sup>1</sup>、北川 颯人<sup>1</sup>、蛭子 颯大<sup>1</sup>、井上 史大<sup>1</sup> (1.横浜国大)

---

**◆ 奨励賞エントリー**

11:15 ~ 11:30

[16a-K508-9]

高密度水素プラズマを用いた金属固相接合法の開発

○安田 怜央<sup>1</sup>、太田 雅斗<sup>1</sup>、垣内 弘章<sup>1</sup>、大参 宏昌<sup>1</sup> (1.阪大院工)

---

**◆ 奨励賞エントリー**

11:30 ~ 11:45

[16a-K508-10]

TMA/NH<sub>3</sub>系FM-CVDによる400°C付近でのAlN成長薄膜評価・考察○(P)大高 雄平<sup>1</sup>、佐藤 颯基<sup>1</sup>、山口 潤<sup>1</sup>、佐藤 登<sup>1</sup>、筑根 敦弘<sup>1</sup>、霜垣 幸浩<sup>1</sup> (1.東大院工)

---

**◆ 奨励賞エントリー**

11:45 ~ 12:00

[16a-K508-11]

顕微ラマン分光法によるTSV周辺Si歪の横方向分布評価

○藤森 涼太<sup>1</sup>、伊藤 佑太<sup>1</sup>、横川 凌<sup>2</sup>、小椋 厚志<sup>1,2</sup>、大野 力<sup>3</sup>、嵯峨 幸一郎<sup>3</sup>、岩元 勇人<sup>3</sup> (1.明治大理工、2.明大MREL、3.ソニーセミコンダクタソリューションズ)

## 新電解技術による SiO<sub>2</sub> 配線溝のエッチング

### Etching of SiO<sub>2</sub> wiring trenches using new electrolytic technology

KMP 研究所<sup>1</sup> 九州工業大学<sup>2</sup> ○岩津 春生<sup>1</sup>, 新海聡子<sup>2</sup> 小野諒子<sup>2</sup>

KMP Laboratory, Kyushu Institute of Technology

E-mail: h-iwatsu@outlook.jp

#### 1. はじめに

従来のウェットエッチングではプロファイルは等方性となるが、新電解技術で異方性、指向性エッチングの可能性を検証する。従来、微細配線工程では、絶縁膜に配線溝をプラズマエッチングで形成し、バリア、シード膜を通電膜として電解めっきで配線材の埋込みがなされてきた。昨今高抵抗のバリア膜が不要な配線材料 Co, Ru が検討されている。新電解技術では、絶縁膜に配線溝をエッチング後、連続してバリア膜不要な Ru 配線の一貫形成を目指している。

#### 2. 実験

新電解技術では Fig-1 に示す様に電解液に絶縁膜を介し静電界が印加され、イオンが泳動した後に陰極上に配列する[1]。その後、静電極から電荷を露出した直電極に移動し、直電極と陰極間で電解反応が実施される。新電解エッチングシミュレーションでは電気二重層で形成される電場の傾斜に比例しての反応が進行すると思われる[2]。今回陰極には Fig-2 に示す様に、Si 基板に成膜された SiO<sub>2</sub> 上に配線パターンマスクが形成されている。裏面には容量結合した電極を介し電源に接続されている。今回 HF 溶液で SiO<sub>2</sub> 膜のエッチングを行った。

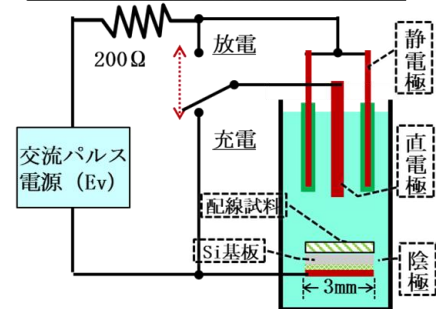
#### 3. 結果と考察

エッチング結果の表面画像を Fig-3 に示すが、エッチングの痕跡は見えているが、マスク材料が PI 系の為選択比が不足し剥がれてしまった。今後レジストの見直しも行い、異方性の断面プロファイルの実現を図る予定である。

[1] 第 80 回応用物理学会秋季学術講演会 18p-B11-13  
新電解めっき技術による微細 Cu 配線の埋込技術の研究  
熊本大 岩津 春生

[2] 第 84 回応用物理学会秋季学術講演会 22a-A303-7  
新電解技術による Si 酸化膜エッチングシミュレーション  
熊本工学会 1 福岡工業大 2 ○岩津 春生 1, 松島 章 2

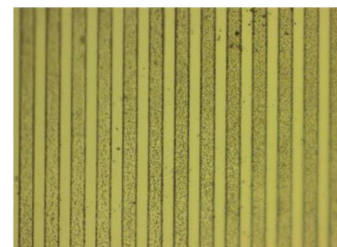
(Fig-1) 新電解技術実験概要図



(Fig-2) 配線エッチング条件

下地膜	SiO <sub>2</sub>	100nm
マスク	PFI	5/5um
エッチ時間	30sec	
薬液	HF5%溶液	

(Fig-3) SiO<sub>2</sub> HFエッチング



## 新電解技術によるシードレス絶縁膜上への Ru 配線埋込

### Embedding Ru wiring on seedless insulation film using new electrolytic technology

KMP 研究所<sup>1</sup> 九州工業大学<sup>2</sup> ○岩津 春生<sup>1</sup>, 新海聡子<sup>2</sup> 小野諒子<sup>2</sup>

KMP Laboratory. Kyushu Institute of Technology

E-mail: h-iwatsu@outlook.jp

#### 1. はじめに

従来の微細配線工程ではバリア、シード膜を通電膜として電解めっきで配線材の埋込みがなされてきたが、昨今高抵抗のバリア膜が不要な配線材料 Co、Ru が検討されている。新電解技術では、バリア膜を用いず下層配線との接続 Via からのボトムアップ成膜が実現出来た[1]。今回 Via の無いシードレス絶縁膜配線溝に直接 Ru 配線埋込をおこなったので報告する。

#### 2. 実験

新電解技術では Fig-1 に示す様に電解液に絶縁膜を介し静電界が印加され、イオンが泳動した後に配列する[2]。その後、静電極から電荷を露出した直電極に移動し、直電極と陰極間で電解反応が実施される。今回陰極には Fig-2 に示す様に、Si 基板表面に SiO<sub>2</sub> 膜が成膜され、配線パターンが形成されている。裏面には容量結合した電極を介し電源に接続されている。SiO<sub>2</sub> 膜に結晶核を形成するには、まず酸化膜表面にダングリングボンドを形成し、Ru の結晶核を形成する。そののちに成膜成長し Fig-2 に示すような条件で Ru の配線膜を形成した。

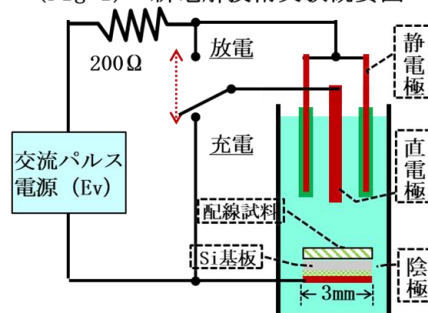
#### 3. 結果と考察

成膜結果を Fig-3 に示すが、絶縁膜の配線溝に Ru が埋め込まれている。配線抵抗は、配線膜の結晶粒界の電子散乱に影響を受ける為結晶粒径を大きく成長させる必要がある。今後、結晶粒径、配線抵抗の評価を進める。また、新電解技術では、配線溝の異方性エッチングの可能性もあるため、今後、配線溝形成、配線埋込の連続プロセスの構築を行う。

[1] 第 84 回応用物理学会秋季学術講演会 22a-A303-6  
新電解技術による微細配線の非接触めっき成膜  
KMP 研究所 岩津 春生

[2] 第 80 回応用物理学会秋季学術講演会 18p-B11-13  
新電解めっき技術による微細 Cu 配線の埋込技術の研究  
熊本大 岩津 春生

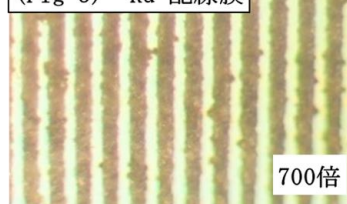
(Fig-1) 新電解技術実験概要図



(Fig-2) 配線埋込評価条件

下地膜	SiO <sub>2</sub>	100nm
マスク	レジスト	5/5um
成膜条件	電界	300v
	成膜時間	30sec
薬液	Ru硫酸溶液	

(Fig-3) Ru 配線膜



## 原子論的計算に基づく Ru のサイズ効果の解析 Atomistic Simulation Based Analysis of Size Effect of Ru

慶大理工 ○田中 貴久

Keio Univ., °Takahisa Tanaka

E-mail: tanaka@elec.keio.ac.jp

近年、LSIの配線材料としてRuが注目されている。Ruは電子の平均自由行程がCuよりも短く、微細な配線ではCuよりも電気抵抗率のサイズ効果を抑制し、低い電気抵抗を実現できると予想される。電気抵抗率のサイズ効果は表面や粒界での電子散乱に起因する。そして表面での電子散乱は吸着物や表面粗さに依存する。従来、表面での電子散乱の寄与は Fuchs-Sondheimer (FS) モデルに含まれる鏡面性パラメータ  $p$  で記述されており、LSI 配線では完全に拡散的な表面散乱を意味する  $p = 0$  が経験的に用いられてきた。この鏡面性パラメータを数値計算で解析可能になれば、FS モデルにより様々な形状・表面の Ru 配線の電気抵抗を予測できる。

本研究では、表面散乱への寄与が大きいと考えられる酸素が吸着した場合の鏡面性パラメータを解析するため、1) Ru/O 反応力場を構築し、2) 反応力場分子動力学計算と密度汎関数法に基づく非平衡グリーン関数計算(DFT/NEGF)により電気抵抗率を求めた [1]。1)に関して Quantum Espressoの結果を参照データとしてLAMMPSによる反応力場分子動力学計算の結果をフィッティングして反応力場のパラメータを決定した。2)では構築した反応力場を用いて、hcp 構造の(0001)面に酸素吸着した Ru ナノシートもしくは清浄表面を持つ Ru ナノシートの室温における原子変位を分子動力学計算から求めた。原子変位を含む構造の両端に半無限電極を設定し、電極間の透過率を計算することで、フォノンや吸着物による散乱を含んだ電気抵抗率が計算可能である [1]。酸素吸着時の表面としては、実験的に報告例がある被覆率 50%の O(2x1)構造を仮定した [2]。

Figure 1 は Ru ナノシートの電気抵抗率のサイズ効果を示している。本研究で計算した清浄表面 Ru ナノシートの電気抵抗率は、完全に鏡面的な散乱を仮定した場合の半古典的に拡張された FS モデルから得られる電気抵抗率と良い一致を示しており [3]、妥当な結果が得られている。また、O(2x1)構造をもつ酸素吸着 Ru 表面では鏡面性パラメータ  $p=0.67$  が得られ、従来仮定されてきた  $p=0$  の場合よりも低い電気抵抗率を示すことが明らかになった。

本研究の手法を酸素吸着だけでなく様々な酸化状態の Ru に適用することでより実用的な配線構造の Ru についても電気抵抗率を計算できると予想される。

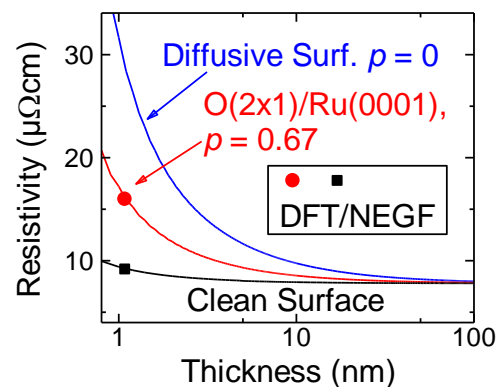


Fig.1 Thickness dependence of the resistivity of Ru nanosheets. Lines were derived from the semi-classical model in Ref. [3].

参考文献[1] T. Tanaka *et al.*, IEEE Elec. Dev. Lett. **42**, 1057

(2021).[2] S. Maier *et al.*, Phys. Rev. B **82**, 075421 (2010).

[3] T. Zhou and D. Gall, Phys. Rev. B **97**, 165406 (2018).

## CuI を原料とする選択 CVD 法による Shallow-trench 上への Cu 成長

### Cu-deposition on Shallow-trench by Area-selective CVD using CuI-precursor

茨城大院 °宮本 裕, 山内 智

Ibaraki Univ., °Yu Miyamoto, Satoshi Yamauchi

E-mail: satoshi.yamauchi.0606@vc.ibaraki.ac.jp

[はじめに] ヨウ化銅 (I) (CuI) は、真空中で 300 °C 程度に加熱すると面内安定構造をもつ三量体として昇華する。この気化形態で金属上に供給されると、カチオンである Cu と金属表面の自由電子間のクーロン引力により、金属上へのみ選択的な吸着と分解が生じ選択的に Cu 層が形成される<sup>[1]</sup>。我々はこの手法を用いて微細加工パターン上への積み上げ配線を提案しており、今回は、この提案プロセスに適する微細加工可能な Cu バリアメタルである Ta 表面の酸化・還元機構と Ta 上での Cu 堆積形態の成長条件依存性について報告した<sup>[2]</sup>。今回は、Ta を下地とする微細加工 SiO<sub>2</sub> Shallow-trench 上での Cu の選択成長の形態について調査したので報告する。

[実験方法] Cu の成長は背圧  $1 \times 10^{-4}$  Pa 程度の SUS 製チャンバー内で行った。基板には厚さ 20 nm の Ta ブランケット上に、厚さ 50 nm の SiO<sub>2</sub> により形成した 1  $\mu$ m ピッチの Shallow-trench を用いた。原料の CuI 粉末 (純度 99.999%) は、PBN 製の K-cell に充填した後、チャンバー内で 260 °C~300 °C で昇華させて基板表面に供給した。Cu の成長は基板温度 370 °C~420 °C の範囲でおこなった。

Cu 成長前後の表面形状の観察には 3D 測定レーザー顕微鏡 (CLSM : Olympus OLS4000-SMT) と SEM (Hitachi-SU5000) を使い、成長した Cu 高さは CLSM の表面プロファイルから求めた。また Cu の配向性は  $\theta$ -2 $\theta$  XRD (Rigaku UltimaIV) により評価した。

[実験結果] 図 1 は真空中にて 1  $\mu$ m ピッチの Shallow-trench 上に基板温度 370 °C で高さ 460 nm、400 °C で高さ 440 nm の Cu を成長させた後の表面 SEM 像であり、Cu は SiO<sub>2</sub> 上には形成されず、Ta 上へのみ選択的に成長していることがわかる。両者の Cu 高さは同程度であるが成長温度が異なっている。370 °C では線状に Cu が成長しているが、400 °C では粒状に成長した Cu が観察される。このような高温での成長形態は、成長中に生成される島状 Cu の流動性に起因し、Cu 粒子間の空隙は島状 Cu の融合過程で形成されていると考えられる。これらの結果から、選択的な Cu ラインの形成には低温成長が必要ながわかる。また、XRD 測定の結果、より高アスペクトな Cu ラインの形成には Ta 上での Cu(111)の優先配向が必要であることが示唆された。

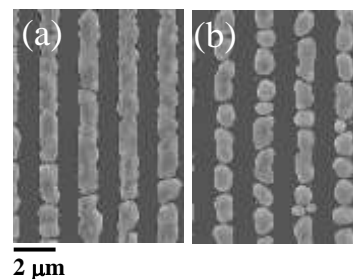


図 1 Cu 成長後の表面 SEM 像  
(成長温度 : (a) 370 °C (b) 400 °C)

[参考文献]

[1] T. Joutsuka, S. Yamauchi, J. Chem. Phys. Lett., 741(2020) 137108.

[2] 宮本 裕, 山内 智, 第 85 回応用物理学会秋季学術講演会, 16p-C302-9 (2024).



## パルスめっき法を用いたビアフィリング銅めっきのシミュレーション

## Simulation of Via Filling Copper Plating using the Pulse-Reverse Plating Method

計測エンジニアリングシステム 〇佟 立柱, 永山 達彦

Keisoku Eng. Sys. 〇Lizhu Tong, Tatsuhiko Nagayama

E-mail: tong@kesco.co.jp

直流めっきでは、電流密度もしくは電位のいずれかを規定することにより、めっきの際の電気的條件が決定される。これに対して、時間とともに電流あるいは電位を変化させるパルスめっきは、析出物の表面形態を制御する手法である。ここでは、シリコン貫通電極 (TSV : Through Silicon Via) の構造を支えるビアフィリング銅めっき技術をパルス電流でモデリングを行う[1]。アスペクト比を2とする高さ60  $\mu\text{m}$ 、幅30  $\mu\text{m}$ であるトレンチとする。拡散層として0.3 M  $\text{CuSO}_4$ 硫酸銅溶液の厚さは100  $\mu\text{m}$ である。トレンチの上端の境界電位を0にし、被めっき電極にパルス電流を印加することをモデル化する。カソード表面の電流密度 $i_{\text{loc}}$ は以下のバトラー・ボルマー式で表される。

$$i_{\text{loc}} = i_0 \left[ \exp\left(\frac{\alpha_a F}{RT} \eta\right) - \frac{c_c}{c_b} \exp\left(-\frac{\alpha_c F}{RT} \eta\right) \right] \quad (1)$$

ここで $i_0$ は交換電流密度、 $\alpha_a$ と $\alpha_c$ はそれぞれアノードとカソードの電荷交換係数、 $c_c$ と $c_b$ はそれぞれカソード表面とめっき液中の $\text{Cu}^{2+}$ 濃度である。

図1は直流めっきとパルスめっきが30分で行われた計算結果である。パルスめっきでは、COMSOL Multiphysics<sup>®</sup>のイベント機能によって、周期 $T = 10$  s、順方向のパルス電流密度 $i_{\text{PC}}$ を1  $\text{A}/\text{dm}^2$ 、逆パルスのデューティ比を0.1、逆方向のパルス電流密度 $i_{\text{RC}}$ を1~5  $\text{A}/\text{dm}^2$ として計算した。直流めっきはめっき時間とともにカソード表面からだんだんと均一に失われていくが、逆方向パルス電流密度 $i_{\text{RC}}$ を4  $\text{A}/\text{dm}^2$ としたパルスめっきの結果は30分後の膜厚がおおよそ均一にされている。従って、 $i_{\text{PC}}$ は1  $\text{A}/\text{dm}^2$ に対して、 $i_{\text{RC}}$ を4  $\text{A}/\text{dm}^2$ とするパルス電流を利用すれば最適な均一膜厚を実現できることを示唆する。

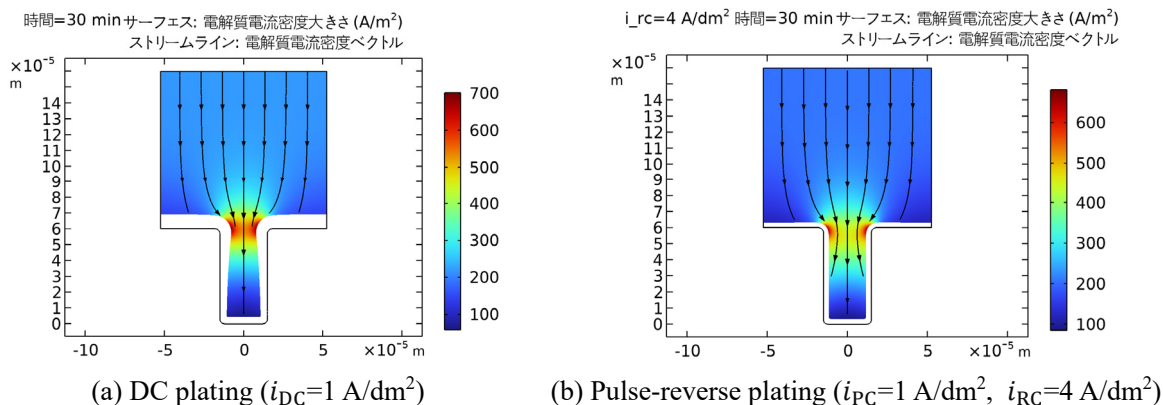


Figure 1. Simulation of DC and pulse-reverse copper electroplating for via filling.

## 参考文献

[1] Y. Dong, B. Jiang, J. Qiang, Z. Ma, D. Drummer, L. Zhang, *J. Mater. Res. Technol.*, **24**, 3055 (2023).

# ハイブリッド・ボンディングを適用した3次元フラッシュメモリにおける 貼り合わせ界面空隙の内圧低減技術開発

The effect of degassing on void expansion suppression in the hybrid bonding.

キオクシア株式会社 ○大形 彩斗、川西 絢子、久米 一平、有田 幸司、山脇 秀之

KIOXIA Corporation, ○Ayato Ohgata, Ayako Kawanishi, Ippei Kume,

Koji Arita, and Hideyuki Yamawaki

E-mail: ayato1.ohgata@kioxia.com

## 1. はじめに

3次元フラッシュメモリにおけるハイブリッド・ボンディング(以下、貼合と表記)は、チップ面積の縮小および性能向上に有効な技術である(図1)。しかしながら、貼合ウェハでは、表面欠陥等を原因として貼り合わせ界面に一定の割合で貼合不良に伴う空隙(以下、ボイドと表記)が形成される<sup>[1,2,3]</sup>。ボイド内にはウェハ貼合時の雰囲気である大気を内包しており、高温処理する際に内圧が高くなりボイド破裂が起こり、製造上の重大な課題となっている。本研究では破裂に至るボイド内圧および内包気体を分析し、ボイド内圧低減技術を確立した。

## 2. 実験と結果

定量的なボイド評価のために、意図的にボイドを形成した疑似ボイドサンプルを用いて実験を行った。ボイド内圧の評価には段差計を用い、内圧差によるボイド膨張形状の変化を測定した。ボイドサンプルに対し、熱処理温度を変化させ熱膨張により破裂する温度を見極める実験を行った結果、破裂しなかったボイドが熱処理前よりも膨張していることが判明した。ボイド体積は熱処理後に20倍まで膨張しており(図2(a))、ボイド内に内包した大気の熱膨張量よりもはるかに大きく且つ常温まで冷却後もボイド体積は収縮しなかった。ボイド体積膨張の原因として、貼合面下層のデバイスからの脱ガスを疑い、貼合前に脱ガス処理を行った結果、熱処理後のボイド体積の膨張は見られなかった(図2(b))。デバイスからの脱ガス成分を分析した結果、H<sub>2</sub>をはじめとした複数種のガスが検出されたが、有機ガスが短時間の熱処理で全て放出されていることが判明した。有機ガスを放出させる短時間脱ガスでも、同様にボイド体積膨張が起らないことを確認し、ボイド破裂の主要因であると特定した。

## 3. まとめ

今回、ボイド破裂の要因解析を行ない、熱処理後にボイド膨張が発生することが判明した。ボイド破裂の原因となる内包ガスを低減する方法として、デバイスウェハの脱ガス処理が有効であることを示した。

## 4. 謝辞

本ワークは、キオクシア株式会社とウェスタンデジタル コーポレーションのメモリ共同開発から支援を受けています。

### 参考文献

- [1] F. Nagano et al., "Void Formation Mechanism Related to Particles During Wafer-to-Wafer Direct Bonding", 2022 ECS J. Solid State Sci. Technol. 11 063012
- [2] A. Castex, M. Broekaert, F. Rieutord, K. Landry, and C. Lagahe-Blanchard, ECS Solid State Lett., 2, 47 (2013).
- [3] D. Grierson and K. T. Turner, ECS Trans., 33, 573 (2010).

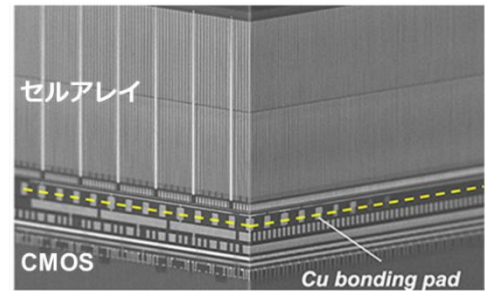


図1 ハイブリッド・ボンディングを適用した3次元フラッシュメモリ断面図

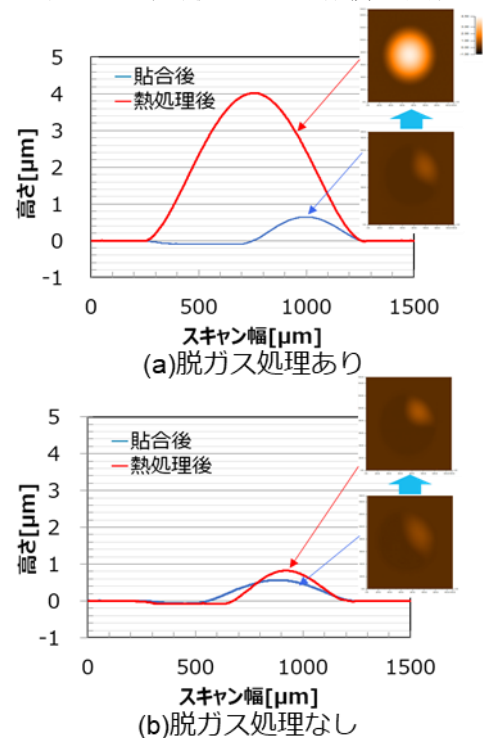


図2 熱処理前後におけるボイド高さ変化と3Dマッピング



# ハイブリッド接合への応用に向けた SiCN 膜の接合メカニズム解明

## Characterization of SiCN Bonding Mechanisms for Hybrid Bonding

横浜国大<sup>1</sup>, (株)東レリサーチセンター<sup>2, ○</sup>(B)山本 泰輔<sup>1</sup>, (M1)北川 颯人<sup>1</sup>,

(M1)佐藤 亮輔<sup>1</sup>, (M2)蛭子 颯大<sup>1</sup>, 坂田 智裕<sup>2</sup>, 井上 史大<sup>1</sup>

YOKOHAMA Nat. Univ.<sup>1</sup>, Toray Research Center, Inc.<sup>2, °</sup>Taisuke Yamamoto<sup>1</sup>, Hayato Kitagawa<sup>1</sup>,

Ryosuke Sato<sup>1</sup>, Sodai Ebiko<sup>1</sup>, Tomohiro Sakata<sup>2</sup>, Fumihiko Inoue<sup>1</sup>

E-mail: inoue-fumihiko-ty@ynu.ac.jp

ハイブリッド接合をはじめとする先端 3D 集積構造実現のためのプロセスとして、ウエハ接合の重要度が高まっている。従来、接合絶縁膜として SiO<sub>2</sub> が用いられている。しかし、ボイド形成に課題があり新規な絶縁膜として SiCN に大きな期待が集まっている<sup>[1]</sup>。本研究では、界面の化学結合状態に着目し高接合強度に寄与する要因探索を行った。

300 mm ウエハ上に、PECVD を用いて SiCN を堆積させたのち、CMP によって平坦化処理を行った。その後、N<sub>2</sub> もしくは O<sub>2</sub> プラズマを照射し、表面特性解析のために ESR (電子スピン共鳴法) および XPS (X 線光電子分光法) を行った。その後、大気下でウエハ同士の貼り合わせを行い、250 °C で PBA (Post bond anneal) をした後、TEM-EELS (透過型電子顕微鏡・電子エネルギー損失分光法) を用いて接合界面解析を行った。

Fig. 1 に ESR を用いて測定したプラズマ照射前後のダングリングボンド量を示す。プラズマ照射によって、ダングリングボンド量は増加することがわかる。また、ダングリングボンドの増加量はプラズマ原料ガス種に依存しないこともわかる。XPS の結果 (ここではデータ省略) から、N<sub>2</sub> プラズマ照射により炭素を含む結合の割合が増加することがわかるため、炭素ダングリングボンドが N<sub>2</sub> プラズマによって形成されると考えられる。

Fig. 2 に N<sub>2</sub> プラズマを照射した後の PBA 前後の接合界面の解析結果をそれぞれ示す。PBA の有無に関わらず接合界面近傍に SiCO 層が形成されていることがわかる。また、PBA によって界面の炭素の割合が減少し、酸素の割合が増加したことがわかる。O<sub>2</sub> プラズマの場合には接合界面近傍の SiCO 層は見られなかったため、N<sub>2</sub> プラズマによって形成された炭素ダングリングボンドが SiCO 層の形成に寄与していると考えられる。また、PBA によって界面残留水と炭素ダングリングボンドが結合することで界面の酸素の割合が増加したと考えられる。

[1] F. Inoue et al., ECTC 2024

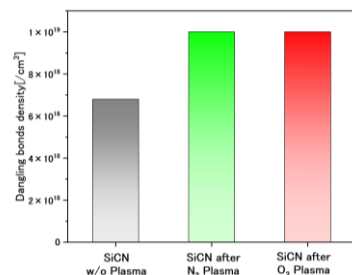


Fig. 1. The number of Dangling bonds in before/after plasma activation by ESR.

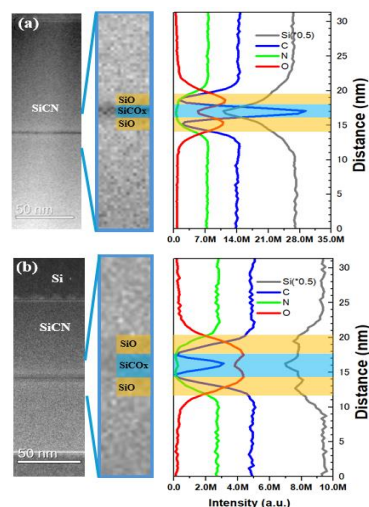


Fig. 2. TEM images of bonding interface and composition maps by EELS measurement (a) before PBA (b) after PBA with N<sub>2</sub> plasma.

# プラズマ活性化による表面改質とウエハ接合時の挙動解析

## Surface Characterization for Bonding Dynamics in Wafer Bonding

横浜国大<sup>1</sup>, <sup>○</sup>(B)尾形 峻太<sup>1</sup>, (M1)佐藤 亮輔<sup>1</sup>, (M1)北川 颯人<sup>1</sup>, (M2)蛸子 颯大<sup>1</sup>, 井上 史大<sup>1</sup>

YOKOHAMA Nat. Univ.<sup>1</sup>, <sup>○</sup>Ryota Ogata<sup>1</sup>, Ryosuke Sato<sup>1</sup>, Hayato Kitagawa<sup>1</sup>, Sodai Ebiko<sup>1</sup>,

Fumihiko Inoue<sup>1</sup>

E-mail: inoue-fumihiko-ty@ynu.ac.jp

BS-CIS や NAND メモリでのハイブリッド接合やロジックデバイスにおける裏面電源供給ネットワーク (BSPDN)、CFET デバイスなど、ウエハ接合技術による新規な 3D 集積構造に期待が集まっている。それら次世代のウエハ接合ではウエハの歪みを最小限に抑えることが必要である。上下のウエハ間の歪みは接合時のボンドウェーブ速度が大きく関与していると知られている一方で、このボンドウェーブ速度の制御方法については十分に研究されていない。[1], [2]

そこで本研究では、表面の活性化状態がどのようにボンドウェーブに寄与するかを 300 mm ウエハ上で試験を行った。接合の絶縁膜には SiO<sub>2</sub> を用いた。N<sub>2</sub> もしくは O<sub>2</sub> プラズマを用いて表面活性化処理を施し、その表面特性について和周波発生分光法 (SFG) や接触角測定、ゼータ電位測定を用いて評価を行った。その後、ウエハを接合し、ボンドウェーブ速度と吸着エネルギーを IR カメラを用いて測定した。

まず、SFG を用いて表面の化学結合状態評価を行った結果を Fig.1 に示す。(a) のプラズマ活性化前後を比較すると、活性化前は 3750 cm<sup>-1</sup> 付近にピークが見られていたが、活性化後にはピーク左側に広がりを見せた。これは表面のシラノール基が水素結合を形成している状態を意味している。[3] また (b) では、プラズマ強度の増加に伴い、3500 cm<sup>-1</sup> から 3750 cm<sup>-1</sup> の範囲において SFG 強度が全体的に増加する結果が得られた。これはプラズマ活性化処理によってヒドロキシ基の量が増加したことを意味している。次に、接合時のボンドウェーブ速度を測定した結果を Fig.2 に示す。プラズマ活性化処理によってボンドウェーブ速度は 2 倍以上に増加したことが分かった。一方でプラズマ強度を大きくすると、ボンドウェーブ速度は減少することを確認した。さらに接触角測定による濡れ性の評価およびゼータ電位測定による表面電荷特性評価を実施し、

得られた結果をボンドウェーブ速度および吸着エネルギーと比較検討した結果を紹介する。

[1] K. Abadie, et al., IITC (2024)

[2] R. Sato, et al., LTB-3D (2024)

[3] Michael L. Hair, Journal of Non-Crystalline Solids 19 (1975) 299-309

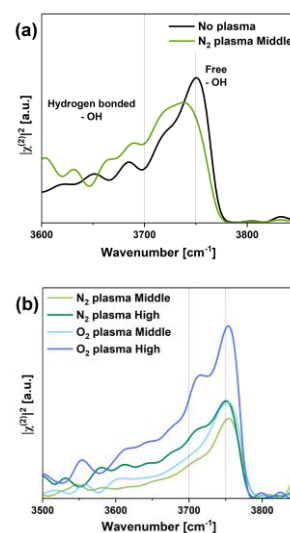


Fig.1 SFG spectra. (a): before and after plasma activation, (b): after various plasma activation and plasma power

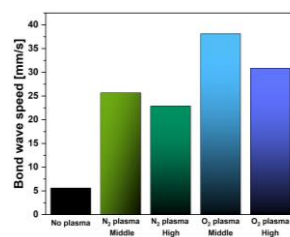


Fig.2 Comparison of bond wave speed.

## 高密度水素プラズマを用いた金属固相接合法の開発

### Development of Solid-Phase Bonding Method of Metals using High-Density Hydrogen Plasma

阪大院工, °安田怜央, 太田雅斗, 垣内弘章, 大参宏昌

Osaka Univ., °Reo Yasuda, Masato Ota, Hiroaki Kakiuchi, Hiromasa Ohmi

E-mail: yasuda@ms.prec.eng.osaka-u.ac.jp / ohmi@prec.eng.osaka-u.ac.jp

#### 1. 緒 言

現在の電子デバイスでは、三次元集積化のため TSV (Through Silicon Via) 配線に用いられる Cu や Ag 等の直接接合技術が必要とされており、デバイスにダメージを与えない低温、低接合圧下での強固な接合の実現が目標となる。我々は、圧力 100 Torr 近傍で生成される狭ギャップ高密度水素プラズマに Ag 表面を曝露することで、直径数十 nm 程度のナノ細孔が多数形成され、比較的低いアニール温度で表面形態が変化することを報告してきた[1]。本研究では、高密度プラズマ中で形成されるナノ細孔表面の易動性に着目し、これを利用した金属の低温固相接合技術を提案する。今回は、Cu および Ag 金属棒を試料に用い、水素プラズマ処理が直接固相接合に及ぼす影響を調べたので報告する。

#### 2. 実験方法

金属試料には、直径 5 mm の Cu 棒および Ag 棒を用い、Fig.1(a)のように設置した。金属棒を設置する試料台にはバネが設置され、自然長からの変形量によって試料間に発生する接合圧の制御を行った。プラズマは、プロセスガスに H<sub>2</sub> ガスを用い、圧力 100 Torr にて、周波数 150 MHz の高周波電力を投入することで金属棒間のギャップ (0.7 mm) に生成し、所定時間処理を行った。また、金属棒の接合は、プラズマ消滅直後に同一チャンバー内にて Fig.1(b)に示すようにステージを上昇させ、接合圧 (20 MPa) を印加して行った。接合後は、引張試験による接合試料の引張強度の測定、ならびに走査型電子顕微鏡 (SEM) による破断後試料の表面の観察により評価した。

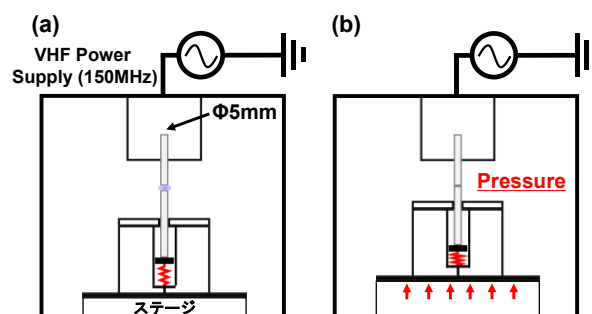


Fig.1 Schematics of experiment equipment. (a) Plasma treatment, (b) Bonding experiment.

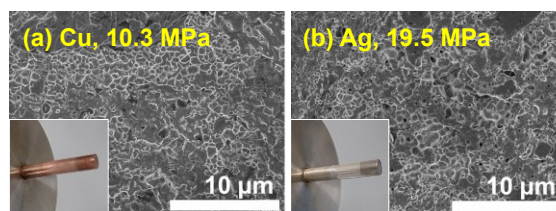


Fig.2 Photographs of the bonded (a) Cu and (b) Ag rod samples and SEM images of the fracture surface of (a) Cu and (b) Ag ; the tensile strengths are shown in each SEM image.

#### 3. 結果および考察

Fig.2(a)と(b)挿絵には、Cu および Ag 棒の接合後試料の外観写真を示す。先の接合法により、いずれの金属棒においても固相接合の達成を確認した。また、接合後試料の引張試験で得た最大引張荷重から引張強度を算出したところ、Cu において 10.3 MPa、Ag 試料において 19.5 MPa であった。さらに、Fig.2(a)および(b)に示す表面 SEM 像より、接合破断面の表面には、塑性変形による破壊を示すとされるディンプル構造が観察された。一方、水素プラズマ処理を実施しない試料では、同様な圧接処理を行っても接合することはなかった。このことから、接合前の水素プラズマ処理は、金属間の直接固相接合の実現に大きく寄与したと言える。

#### 4. 結 言

本研究では、廉価かつ低環境負荷な水素を使用した高密度プラズマにより金属表面を処理することで、金属の直接固相接合に成功した。また、TSV 配線に向け、Si 基板状の金属薄膜を用いた接合における検証も行っており、本結果に関しては当日報告する。

#### <謝辞>

本研究の一部は、公益財団法人 天田財団からの助成 (AF-2021014-B2) により行われました。ここに謝意を表します。

#### 参考文献

[1] 関戸他、2021 年第 68 回応用物理学会春季学術講演会予稿集 18a-Z17-8.

## TMA/NH<sub>3</sub>系 FM-CVD による AlN 薄膜の低温成長成長

### Low temperature synthesis of AlN thin films by TMA/NH<sub>3</sub> FM-CVD

東大院工, °大高雄平, 佐藤颯基, 山口潤, 佐藤登, 筑根敦弘, 霜垣幸浩

Univ. Tokyo, °Y. Otaka, R. Sato, J. Yamaguchi, N. Sato, A. Tsukune and Y. Shimogaki

E-mail: otaka@dpe.mm.t.u-tokyo.ac.jp

高集積化・高性能化等を実現するために、二次元的な微細化・高集積化から IC チップを積層する三次元立体集積化 (3DIC) を目指すことが重要な技術指針となっている。しかし、3DIC は発熱密度も増加し、デバイス動作不良を引き起こす高温になりやすいことが課題である。そのため、熱伝導率の高い AlN 膜を、チップが損傷・劣化しない 400°C 以下の低温において形成させたい。3DIC 相互接続用のシリコン貫通孔 (TSV) 内への形成には優れた段差被覆性と高速性が必要なため、CVD 手法が必須となる。本研究では、TSV の側壁絶縁膜形成を目標とし、アスペクト比 (孔の縦横比) 10 程度に対して均一 (被覆率 90%程度) かつ高速 (10 nm/min 以上) な製膜が可能な CVD プロセスを検討している。

400°C 以下で窒化膜形成させるため、原料を間歇的に供給する手法を用い、原料が吸着・表面拡散する過程と原料由来の有機物やハロゲン等を還元除去する過程を時間的に分離して結晶性の高い薄膜の作製を狙った。このようなプロセスを FM-CVD (Flow-Modulation) と称している。本発表では、トリメチルアルミニウム (TMA) および NH<sub>3</sub> を原料ガスとし、400°C を低温化の目標値として FM-CVD 実験を行い、形成した薄膜を測定・解析して低温 AlN 成長に関する考察を行った。

本要旨では結果の一部を示す。製膜温度 400°C、全圧 667 Pa について、通常 CVD と、TMA+NH<sub>3</sub> 5s→NH<sub>3</sub> 15s を繰り返す FM-CVD 実験を行った。XPS による定量測定にて比較したものが図 1 である。通常 CVD よりも FM-CVD の方がリークに起因する酸素や原料 (TMA) にする炭素の不純物が少ない AlN が成長されることが各計測データより確認できた。つまり、連続的な供給の場合には原料由来の有機物を還元除去しきれないが、FM-CVD としてその時間を確保したことで、還元除去が行えたものと考えられた。また、図 2 に示した断面 SEM 画像より、AR30 トレンチ内にカバレッジ 94% という優秀な段差被覆性を有する AlN 薄膜成長が確認された。以上より、FM-CVD を用いると 400°C にて 3DIC の TSV やモールド部への AlN 成長が可能であると考えられた。

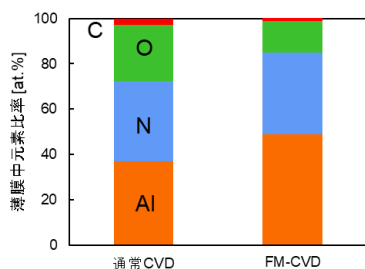


図 1 通常 CVD と FM-CVD の膜組成比較 (XPS).

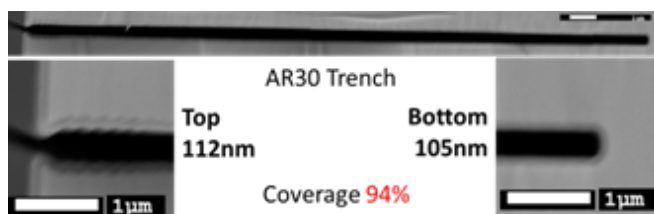


図 2 400°C FM-CVD での AR30 トレンチ内 AlN 膜分布。



## 顕微ラマン分光法による TSV 周辺 Si 歪の横方向分布評価

## Evaluation of Lateral Distribution of Si Strain around TSV by Micro-Raman Spectroscopy

○藤森 涼太<sup>1</sup>、伊藤 佑太<sup>1</sup>、横川 凌<sup>2</sup>、小椋 厚志<sup>1,2</sup>、大野 カー<sup>3</sup>、嵯峨 幸一郎<sup>3</sup>、岩元 勇人<sup>3</sup>  
 (明治大理工<sup>1</sup>、明大 MREL<sup>2</sup>、ソニーセミコンダクタソリューションズ(株)<sup>3</sup>)

○R. Fujimori<sup>1</sup>, Y. Ito<sup>1</sup>, R. Yokogawa<sup>2</sup>, A. Ogura<sup>1,2</sup>, R. Ohno<sup>3</sup>, K. Saga<sup>3</sup>, and H. Iwamoto<sup>3</sup>  
 (1. Meiji Univ., 2. MREL, 3. Sony Semiconductor Solutions Corporation)

E-mail: [ce241019@meiji.ac.jp](mailto:ce241019@meiji.ac.jp)

【序論】3次元チップ積層技術に不可欠な配線技術である Through Silicon Via (TSV)は、周囲の Si に複雑な歪を誘起し[1]、この領域に作製するトランジスタ特性に多大な影響を及ぼす[2]。次世代 LSI の高集積化に伴い、TSV が及ぼす歪の距離や大きさの理解は重要な課題である。これまで報告されている歪の解析手法では、多くの場合、試料加工に伴う歪緩和が生じるため、歪の詳細な理解が難しい。本研究ではラマン分光法を用いて、TSV 周辺の Si の歪を測定し、試料断面位置の影響を評価した。

【実験方法】Cu を埋め込んだ直径 3.7  $\mu\text{m}$  の円柱状の TSV に対して、断面からの評価のために研磨加工を行い、TSV を端から 0.07, 0.64  $\mu\text{m}$  を断面に露出させた 2 検体に加え、露出直前で研磨を停止し TSV 端から断面まで 0.69, 1.07, 1.64, 2.15  $\mu\text{m}$  の Si が残留する 4 検体を同一基板内に用意した。TSV 周辺の歪測定には、(110)断面から後方散乱配置で、波数分解能  $0.1\text{cm}^{-1}$  を有する顕微ラマン分光装置、および励起光源に可視光レーザ (励起光源波長: 532 nm、励起光強度: 0.1 mW、スポット径: 0.7  $\mu\text{m}$ )を用い、室温測定を実施した。測定間隔は 0.5  $\mu\text{m}$  とし、TSV 周辺 Si の歪分布を評価した。

【結果・考察】実験で得られたラマンシフトのピークシフト量( $\Delta\omega$ )の一例として、TSV が研磨で 0.07  $\mu\text{m}$  断面に露出している試料と 0.69  $\mu\text{m}$  の残留 Si 下に埋め込まれて露出していない試料における TSV 周辺 Si のラマンシフト分布を Fig. 1 に示す。Fig. 1 より、TSV 周辺では高波数側にシフトし、圧縮歪の増加が確認された。また、各試料において、最も高波数側へのシフトが確認された箇所でのラマンシフト量を断面から TSV の端までの距離に対してプロットした図を Fig. 2 に示す(負号は断面への露出を示す)。Fig. 2 より、TSV の断面露出に伴い、約  $0.5\text{cm}^{-1}$  の大幅な歪緩和

が確認された。また、断面最近傍で  $\Delta\omega$  が最も大きく、断面から奥行方向に距離が大きくなるに伴い  $\Delta\omega$  が減衰するため、断面からの距離依存性から歪が及ぶ距離を推定することができる。本研究では、TSV が周辺 Si に与える歪について、試料の加工による歪緩和の影響を明確にし、詳細な歪分布を示した。

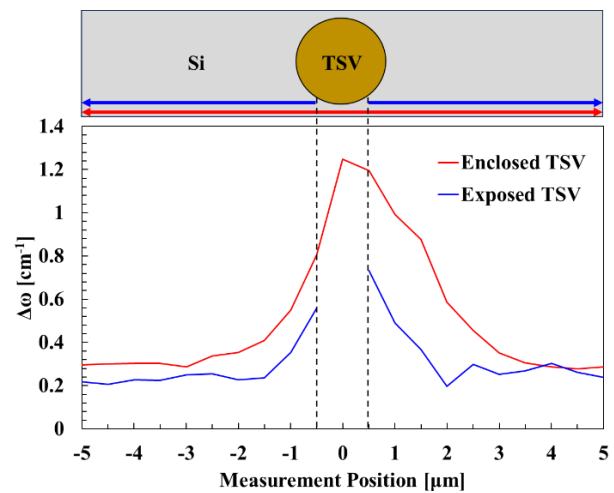


Fig. 1 Raman shift of Si-Si vibrational mode around the enclosed- and exposed-TSV.

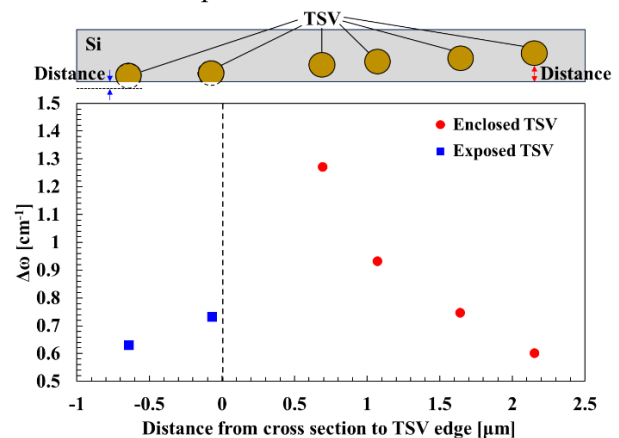


Fig. 2 Variation of Raman shift depending on distance from cross section surface to TSV edge.

## 【参考文献】

- [1] R. P. Koseski *et al.*, J. Appl. Phys. **110**, 073517 (2011).  
 [2] W. Feng *et al.*, IEEE 65th ECTC, 1057 (2015).