

一般セッション(口頭講演) | 13 半導体: 13.3 絶縁膜技術

2025年3月17日(月) 9:30 ~ 11:45 K202 (講義棟)

[17a-K202-1~9] 13.3 絶縁膜技術

渡邊 孝信(早大)

◆ 奨励賞エントリー

9:30 ~ 9:45

[17a-K202-1]

Si(110)微傾斜基板上的 SiO₂/Si MOS キャパシタにおける界面特性評価○志村 瞭太郎¹、名幸 瑛心¹、松本 光二²、鈴木 陽洋²、山本 博昭²、松川 和人²、竹中 充¹、高木 信一¹、トプソナポソナガディット¹ (1.東大工、2.SUMCO)

◆ 奨励賞エントリー

9:45 ~ 10:00

[17a-K202-2]

極低温下のMOSFET劣化における2種類の固定電荷生成

○宮木 耀平¹、鈴木 達也¹、三谷 祐一郎¹ (1.都市大)

◆ 奨励賞エントリー

10:00 ~ 10:15

[17a-K202-3]

低温酸化処理によるSiO₂膜の電気的ストレス耐性向上○足利 佳治¹、高橋 芳浩¹ (1.日大理工)

10:15 ~ 10:30

[17a-K202-4]

トレンチフィールドプレートパワーMOSFETにおける積層ゲート膜化によるTDDbばらつき改善

○石井 大智¹、星田 悟志¹、上野 達郎¹、西口 俊史¹、前山 賢二¹、可知 剛¹、加藤 浩朗¹ (1.東芝デバイス&ストレージ)

10:30 ~ 10:45

[17a-K202-5]

極低温下におけるnMOSFETのチャネルホットキャリア (CHC)劣化とF-Nストレス劣化の相違

○鈴木 達也¹、宮木 耀平¹、三谷 祐一郎¹ (1.東京都市大)

10:45 ~ 11:00

[17a-K202-6]

媒質効果の理論検討に基づくSi酸化膜中のSi輸送経路に関する考察

○影島 博之¹、秋山 亨²、白石 賢二³ (1.島根大、2.三重大、3.名古屋大)

11:00 ~ 11:15

[17a-K202-7]

Si(001)面酸化におけるPseudo-Cristobaliteモデルの一考察

○神山 栄治^{1,2}、末岡 浩治² (1.グローバルウェーブズ・ジャパン(株)、2.岡山県立大情報工)

11:15 ~ 11:30

[17a-K202-8]

添加水分(H₂O)蒸気量を制御したNH₃ガスによる低温酸化Si膜の残留OH基量の低減○堀田 将¹ (1.北陸先端大)

11:30 ~ 11:45

[17a-K202-9]

画像処理を用いたTEM像用膜厚自動測長システムの開発

○服部 真也¹、喜多村 茜¹、亀田 賢治¹ (1.株式会社KOKUSAI ELECTRIC)

Si(110)微傾斜基板上的 SiO₂/Si MOS キャパシタにおける界面特性評価

Evaluation of Interface Properties in SiO₂/Si MOS Capacitors on Si(110) Vicinal Substrates

東大工¹, SUMCO², 志村 瞭太郎¹, 名幸 瑛心¹, 松本 光二²,
鈴木 陽洋², 山本 博昭², 松川 和人², 竹中 充¹, 高木 信一¹, トプρασертpong がディット¹

¹Univ. Tokyo, ²SUMCO, °R. Shimura, E. Nako, K. Matsumoto,
A. Suzuki, H. Yamamoto, K. Matsukawa, M. Takenaka, S. Takagi, K. Toprasertpong

E-mail: shimura@mosfet.t.u-tokyo.ac.jp

【背景】従来の Si-Planar 型 MOSFET では(100)がチャンネル面になっている。(100)面は界面準位が少ないことや電子移動度が比較的高い点で優れている一方[1]、(110)面は正孔移動度が(100)面よりも高く、電子移動度との差が小さく対称性が良いため[2]、FinFET や GAAFET のような最先端 Si MOSFET において重要な面方位になる。エピタキシャル成長などの制約によりチャンネルの面方位にオフ角がつくことが一般的であるが、Si(110)面の微小オフ角の影響は調べられていなかった。本研究では、Si(110)面のオフ角が SiO₂/Si の界面特性に与える影響を調べたので報告する。

【実験手法】面方位とそのオフ角が(100)0°, (110)0°, 0.19°, 0.27°, 0.33°, 0.78°, 1.0°, (551)の8種類の p-Si 基板を用いた。(551)面は(110)面のオフ角が 8°の面方位であり、(110)面よりも高い電子移動度と正孔移動度が得られることが報告されている[3]。膜厚 10 nm の SiO₂ を乾燥酸素中 900°C の熱酸化で成膜し、Al/SiO₂/Si の MOS キャパシタを作製した。熱酸化の速度に面方位依存性があるため、(100)面、(110)面の6種類、(551)面の3回に分けてそれぞれ 17 min, 8,75 min, 9 min の時間で熱酸化させ、膜厚 10 nm に揃えた。

界面特性の評価は、C-V 測定から Terman 法と High-Low 法を用いて界面準位密度 D_{it} を評価した。High-Low 法は 1 MHz と 1 kHz の C-V 曲線の比較で求めた。

【結果と考察】C-V 測定結果を Fig.1 に示す。各エネルギー準位における D_{it} が小さく、Terman 法では信憑性のある値を求めることができなかった。これは Terman 法の評価精度は $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 程度とされているため評価できなかったと考えられる。そこで理想 C-V 曲線から求めた各表面ポテンシャルの位置において、空乏領域の周波数分散 (Fig.1(a)) に着目して 1 kHz~1 MHz の周波数範囲で応答する界面準位を High-Low 法より求めた。面方位ごとの D_{it} とエネルギー準位の関係を Fig.2 に示す。 D_{it} は(100)面が最も小さく、次いで(551)面、(110)面

の順であった。次に各エネルギー準位における D_{it} の(110)微小オフ角依存性を Fig. 3 に示す。midgap から 0.1 eV、0.2 eV 低いエネルギー準位でも 0°から 1.0°へオフ角が大きくなるにつれ D_{it} は $0.3 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 程度上がった。

【結論】オフ角とともにわずかな D_{it} の上昇傾向が確認されたが、オフ角依存性が小さく有意とは言えなかった。ただし(551)面は異なるオフ角をもつ(110)面と比較し最も D_{it} が低いように見える。

【謝辞】本研究は、東京大学-SUMCO 共同研究により実施した。

【参考文献】

- [1] S. Ogata et al., Appl. Phys. Lett. 98, 092906 (2011).
- [2] C. D. Young, Solid-State Electron. 78, 2 (2012).
- [3] R. Kuroda et al., Ext. Abstr. SSDM, 702 (2013).

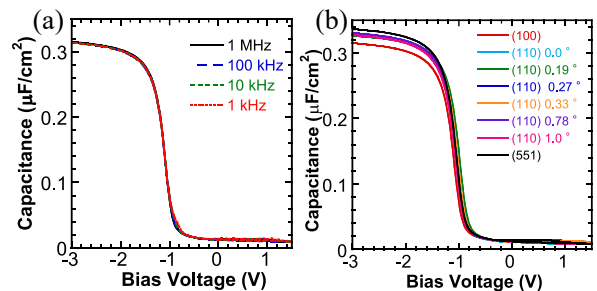


Fig.1 C-V curve of (a) (110) 0° and (b) 1 MHz with different substrates

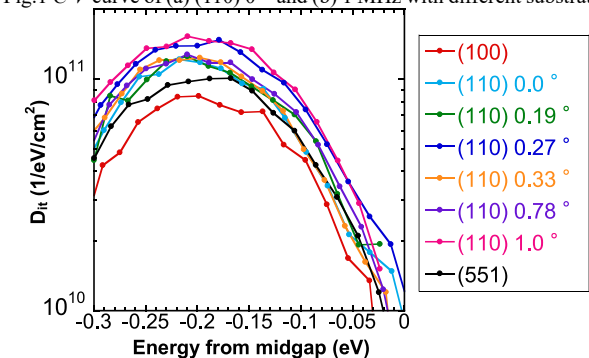


Fig.2 D_{it} at different energy from midgap

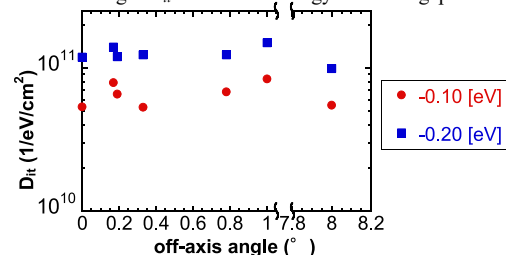


Fig.3 (110) off-axis angle dependence of D_{it} .

極低温下の MOSFET 劣化における 2 種類の固定電荷生成

Two Types of Fixed Charge Generation in MOSFET Degradation at Cryogenic Temperatures

°宮木耀平, 鈴木達也, 三谷祐一郎 (東京都市大学)

°Y. Miyaki, T. Suzuki, Y. Mitani (Tokyo City Univ.)

E-mail: g2381272@tcu.ac.jp

【はじめに】絶縁膜界面に存在する終端水素の放出及び拡散によって、界面準位と固定電荷が生成され、トランジスタ絶縁膜の劣化が引き起こされる^[1]。しかし、水素拡散が抑制される極低温下におけるトランジスタの劣化メカニズム及び固定電荷生成の温度依存性は十分に解明されていない^[2-4]。そのため、本研究ではチャネルホットキャリア(CHC)ストレス及び Fowler-Nordheim(F-N)ストレスにおいて、界面準位生成量(ΔD_{it})と固定電荷生成量の相関を調べた。その結果から、生成固定電荷には 2 種類($\Delta N_{\text{Fixed charge}}$, $\Delta N_{\text{transient}}$)あること、そして測定温度の低下とともに固定電荷生成位置が MOS 界面に近づくという温度依存性を示唆する結果を得たので報告する。

【実験と結果】本研究では W/L:100/0.5 μm 、酸化膜 6nm の nMOSFET を使用した。界面準位量は測定温度を考慮したチャージポンピング測定^[5]から算出し、固定電荷量は半導体デバイスシミュレーター HyDeLEOS を用いて電流電圧特性のフィッティングから算出した。HyDeLEOS では MOS 界面に固定電荷が一様に分布しているとして計算を行った。界面準位生成量(ΔD_{it})に対する、ストレス時間に依存する正の固定電荷生成量($\Delta N_{\text{Fixed charge}}$)を Fig.1 に示す。これは MOSFET の閾値(V_{th})に影響を与える固定電荷で、測定温度が低下するほど同じ界面準位生成量(ΔD_{it})に対する $\Delta N_{\text{Fixed charge}}$ が増加していることが確認できる。一方、MOSFET の SS 値劣化は ΔD_{it} だけでは説明できず、低温ほどその傾向が強い。そこで、MOSFET の V_G - I_D 特性計測時に印加電圧に従い電荷トラップされる固定電荷($\Delta N_{\text{transient}}$)を考慮した。Fig. 2 にストレス時間 128 秒のときの電流電圧測定時のオーバードライブ電圧増加量(ΔV_G)に対する、負の固定電荷生成量($\Delta N_{\text{transient}}$)を示す。測定温度の低下に従い、同じ電圧増加量(ΔV_G)に対する $\Delta N_{\text{transient}}$ が増加していることが確認できる。この結果から、低温帯では膜中欠陥が MOS 界面近傍に生成され、チャネルからの一時的な電子トラップが増加する MOSFET 劣化が生じていると考えられる。

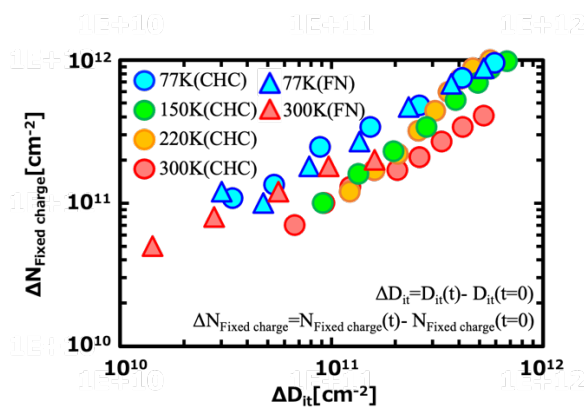


Fig. 1. Correlation between ΔD_{it} and $\Delta N_{\text{Fixed charge}}$.

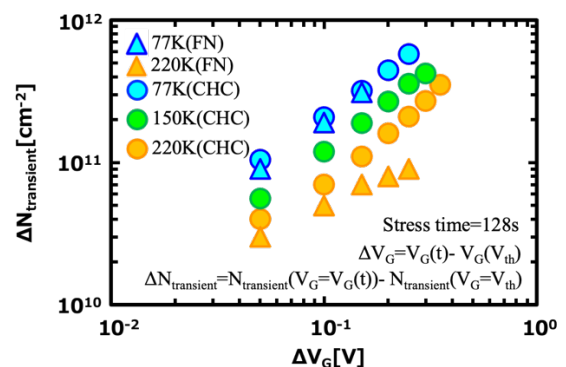


Fig. 2. Correlation between ΔV_G and $\Delta N_{\text{transient}}$ at stress time=128s.

【謝辞】本研究の一部は、キオクシア株式会社の支援をうけて実施したものである。

【参考文献】 [1] Y. Mitani et al., IEEE IRPS (2016). [2] T. Suzuki et al., 2024 Jpn. J. Appl. Phys., 63 04SP22.[3] Y. Miyaki et al., IEEE IMFEDK (2024).[4] Y. Mitani et al., IEEE IRPS (2024).[5] G. Groeseneken et al., IEEE Trans. Electron Dev. (1984), ED-31.

低温酸化処理による SiO₂ 膜の電氣的ストレス耐性向上

Improvement of Electrical Stress Resistance of SiO₂ Films by Low-Temperature Oxidation Treatment

日大理工 °足利 佳治, 高橋 芳浩

Nihon Univ., °Yoshiharu Ashikaga, Yoshihiro Takahashi

E-mail: csyo23001@g.nihon-u.ac.jp

序論

低温乾燥酸化により成膜された比較的厚いゲート酸化膜を有するパワー-MOSFET では、放射線吸収線量増大に伴うしきい値電圧変動が抑制可能であることが報告されている[1]。一方、酸化温度が電氣的ストレス耐性に与える影響についてはいくつかの報告がある[2][3]ものの、比較的厚い低温酸化膜に対する報告は見当たらない。そこで、低温酸化処理が電氣的ストレス耐性に及ぼす影響について評価した。また、低温乾燥酸化で比較的厚い酸化膜を製膜するには長時間が必要である。そこで、高温で成膜した後に、酸化温度を低下することが及ぼす影響についても評価した。

実験方法

抵抗率 0.8~1.2Ωcm, 面方位<100>, 12mm 四方の n-Si 基板を RCA 洗浄後, Table 1 に示す酸化条件で乾燥酸化を行った。なお全条件において膜厚が 38nm 程度となるように設定した。条件 1~3 により酸化温度依存性を, 条件 4~6 により酸化途中における温度低下による影響を評価した。また酸化後, 最終酸化温度において窒素ガス中 30min のアニールを行った。酸化膜成長後, 直径 300μm の Al ゲート電極を形成し MOS 構造を製作。各試料に対して正のゲート電圧を印加し, 基板 FN 注入による定電流 TDDB 特性を評価した。

実験結果, 考察

各試料に対してリーク電流特性を測定した結果, 試料間における特性はほぼ変化しないことを確認した。そこで, 酸化膜電界が 8MV/cm 程度となる電流 (18ないしは 35μA/cm²) により TDDB 試験を行った。Fig. 1 に TDDB 試験結果を示す。横軸は絶縁破壊に至る通過電荷量 Q_{BD}, 縦軸はその電荷量以内での破壊割合である。条件 1~3 の結果より, 酸化温度の低下に伴い Q_{BD} が増大し, 酸化温度 800°C では 1000°C に比べて 1 桁程度寿命が改善することがわかった。また, 条件 4~6 の結果より, 1000°C 酸化の途中で温度を低下させることでも寿命は改善すること。また低下後の時間増大により寿命が長期化することがわかった。

Fig. 2 に 1, 4, 5 の条件で製膜した試料における, 絶縁破壊に至るまでのゲート電圧変化量を示す。結果より, 低温酸化プロセスの導入により, 同じ通過電荷量における電圧変化量が大きく減少することを確認した。これは注入により膜中で捕獲された電子密度の低下によるもので, これが Q_{BD} 向上の一要因と考えられる。

まとめ

以上の結果から, 低温酸化の導入により基板 FN 注入 TDDB 寿命が改善できることを明らかにした。今後, 異なる注入方法などについても評価し, 低温酸化導入による寿命改善効果について更に検討を進める予定である。

参考文献

- [1] 井上正範 他, 応用物理学会シリコンテクノロジー, No.170, p.20, 2014.
- [2] L. Fonseca, F. Campabadal, IEEE EDL, Vol.15, No.11, 1994.
- [3] G. W. Yoon, et al., IEEE EDL, Vol.13, No.12, 1992.

Table 1. Oxidation and annealing conditions

Condition #	Oxidation condition	Annealing conditions
#1	1000°C/30min	1000°C/30min
#2	900°C/2h	900°C/30min
#3	800°C/12h	800°C/30min
#4	1000°C/25min, 800°C/2h	800°C/30min
#5	1000°C/25min, 700°C/6h	700°C/30min
#6	1000°C/25min, 700°C/8h	700°C/30min

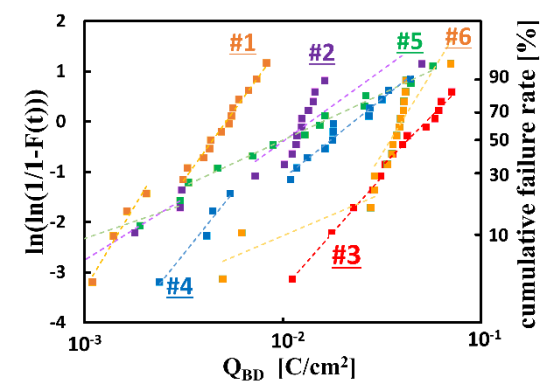


Figure 1. Weibull plot of Q_{BD} distributions on oxide films with each process condition.

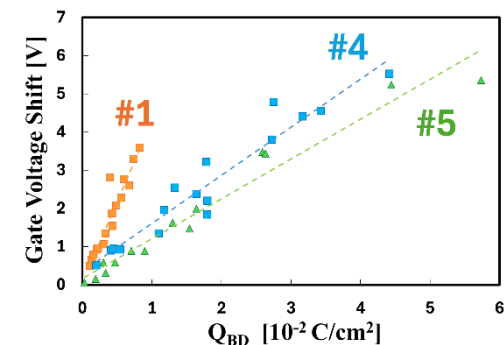


Figure 2. Gate voltage shift during constant current TDDB evaluation on the samples with process condition 1, 4 and 5.

トレンチフィールドプレートパワーMOSFETにおける積層ゲート膜化による TDDB ばらつき改善

Improvement of TDDB variation by stacking gate film in trench field plate power MOSFET

東芝デバイス&ストレージ株式会社¹ ○石井大智¹, 星田悟志¹, 上野達郎¹,
西口俊史¹, 前山賢二¹, 可知剛¹, 加藤浩朗¹

Toshiba Electronic Devices&Storage Corporation¹, °D. Ishii¹, S. Hoshida¹, T. Uneno¹,
T. Nishiguchi¹, K. Maeyama¹, T. Kachi¹, H. Kato¹

E-mail: daichi1.ishii@glb.toshiba.co.jp

1. はじめに

Si パワーMOSFET の中で比較的耐圧領域(~250V)ではトレンチフィールドプレート(FP)構造が主流となっている。この構造ではトレンチ内にソース FP ポリシリコンが形成された状態でゲート酸化を行うため、ポリシリコンのラフネスが大きくなる[1,2]。ゲートに電圧印加するとラフネスの存在する酸化膜部に電界がかかり、ゲート酸化膜よりも絶縁耐量が低下する。今回ゲート酸化条件を変更することでラフネスを改善し、現状よりさらに TDDB が改善できるか検討した。

2. 評価方法

Table 1 に記載の内容でゲート酸化条件振りを実施し、ポリシリコン表面のラフネス評価を行った。ラフネスはパターン無しウエハーを作成し表面から AFM で Ra(算術平均粗さ)の測定を行った(Table 1)。さらにトレンチ FP 構造の MOSFET (Fig 1)を作成し、特性評価を行った。TZDB は VD=VS=0V として VG を Sweep して破壊電界を抽出した(各条件 n=60 個)。TDDB は電圧 STEP 印加法で評価を行い(各条件 n=40 個)、ワイブルプロットで寿命を確認した。

3. 結果

Table 1. ゲート膜条件

水準	熱酸化条件	熱酸化 [%]	CVD [%]
1	WET 900°C	100	-
2	DRY 900°C	100	-
3	DRY 1000°C	100	-
4A	DRY 1100°C	130	-
4B	DRY 1100°C	100	-
5	DRY 900°C	40	60
6	DRY 1000°C	40	60

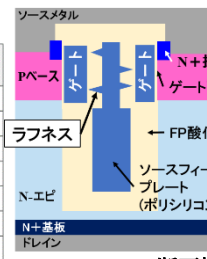


Fig 1. FP-MOS 断面構造

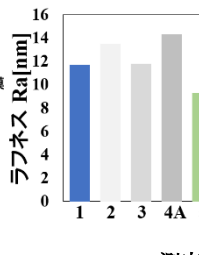


Fig 2. AFM 測定結果

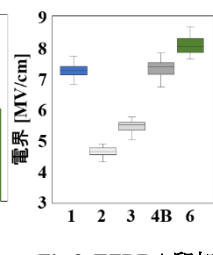


Fig 3. TZDB+印加

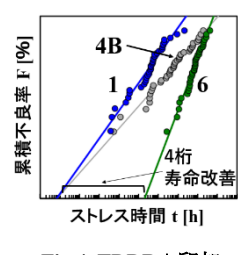


Fig 4. TDDB+印加

Fig 2 に AFM の結果を示す。条件 1, 2 を比較し Ra は WET 酸化より DRY 酸化の方が大きく、応力増加起因と推定する。条件 2, 3 を比較したところ、高温条件ほど粘性流動が促進され Ra の低減が見られた。しかし条件 4A のように高温でも酸化量が増えると粘性流動による改善を打ち消すほど Ra が悪化することがわかった。条件 5, 6 は酸化量を減らし、減らした分を CVD 酸化膜で補う条件である。酸化量を減らした効果により Ra は大きく改善した。

Fig 3 に TZDB 結果を示す。AFM の結果通り条件 1 より Ra の大きい条件 2 で耐量悪化が見られた。条件 2, 3, 4B は高温化することで改善した(4B は酸化量を適正化しており AFM 結果とは異なる)。条件 6 は酸化量低減と粘性流動効果が加わったことで最も高耐量になったと推定する。

Fig 4 の TDDB 結果では条件 1 に対して条件 6 が大幅改善した。条件 4B は条件 1 と大差ない結果であり、高温化による改善と WET⇒DRY 酸化による悪化が相殺されたと推定する。なお、破壊痕は条件 1 ではゲートポリとソース FP の間だったが、条件 6 ではゲート酸化膜であった。ラフネスが改善され、電界集中箇所がゲートポリとソース FP 間からゲート酸化膜に移行した。

4. まとめ

ゲート酸化工程でソース FP ポリシリコンが酸化されるとラフネスが大きくなり、TDDB のばらつきが発生した。熱酸化膜と CVD 酸化膜の積層ゲート酸化膜への変更は酸化量を低減させ、さらに高温熱酸化でラフネスを改善した結果、TDDB 寿命の改善を確認した(今回は 4 桁改善)。

参考文献

- [1] 原央, ULSI プロセス技術, 培風館, pp.100-110 (1997).
- [2] R.B.Marcus, et al., Journal of The Electrochemical Society, Vol. 129, No. 6, pp.1282-1289 (1982).

極低温下における nMOSFET のチャネルホットキャリア (CHC)劣化と F-N ストレス劣化の相違

Stress-mode (CHC, F-N) dependence of cryogenic degradation in nMOSFET

鈴木達也, 宮木耀平, 三谷祐一郎 (東京都市大学)

T. Suzuki, Y. Miyaki, Y. Mitani (Tokyo City Univ)

E-mail: g2381242@tcu.ac.jp

【はじめに】 トランジスタは極低温下で操作させることで電気特性が向上するため量子コンピュータ、航空宇宙などの分野への応用が期待されている^[1]。しかし、極低温下におけるトランジスタの劣化メカニズムは解明されていない^[2]。本研究ではチャネルホットキャリア(CHC)ストレス及び Fowler-Nordheim(F-N)ストレスにおいて、ストレス印加時間に対するトランジスタ特性と界面準位の推移を同時に測定した^[3]結果、低温下ではストレス条件によってトランジスタ特性劣化 (ΔI_{on})と界面準位生成量(ΔDit)に異なる相関関係が観測されることが確かめられた。

【実験と結果】 本研究では W/L:100/0.5 μ m、酸化膜 6nm の nMOSFET を使用した。Fig. 1 に測定されたストレス印加前の I_D - V_G 、 g_m 特性の温度依存性を示す。Fig. 1 から温度が下がるにつれ V_{th} が正方向へシフトする事、 g_m 、SS、 I_{on} が向上することが確認できる。典型例として 77K における CHC ストレス印加時の I_D - V_G 、 g_m 特性の推移を Fig. 2 に示す。また ΔDit と ΔI_{on} の相関関係の温度依存性、ストレス条件依存性を Fig. 3 に示す。

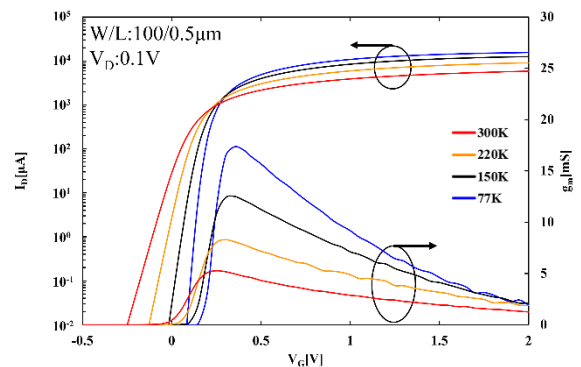


Fig1. Temperature dependence of I_D - V_G and g_m characteristics

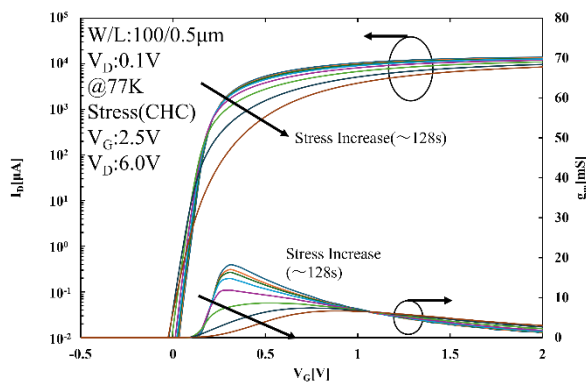


Fig2. I_D - V_G characteristics and g_m transition when CHC stress is applied(77K)

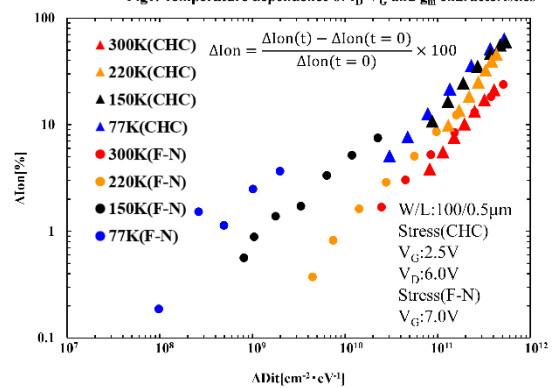


Fig3. Stress and temperature dependence of ΔI_{on} on ΔDit

Fig. 2 からストレス印加によって I_D - V_G 、 g_m 特性が劣化することが確認できる。一方で、Fig. 3 から室温近傍では CHC ストレス下、F-N ストレス下によらず ΔDit と ΔI_{on} の相関関係はほぼ一致するが、低温下では両者の相関関係が一致しない。本発表では、この低温下における独特な挙動について測定とシミュレーション^[4]を組み合わせることで界面準位、酸化膜中欠陥の視点から考察を行う。

【謝辞】 本研究の一部は、キオクシア株式会社の支援をうけて実施したものです。

【参考文献】 [1] Y. Liu et al., IEEE Trans. Electron Dev. ED- 68. [2] J. Michl et al., IEEE IRPS (2020).

[3] T. Suzuki et al 2024 Jpn. J. Appl. Phys. 63 04SP22. [4] Y. Miyaki et al 2024 IEEE IMFEDK.

媒質効果の理論検討に基づく Si 酸化膜中の Si 輸送経路に関する考察

Atomic Scale Insights into Si Transport Pathway in Si-Oxide Film

Based on Theoretical Investigation of Medium Density Effects

島根大¹, 三重大², 名古屋大³ °影島 博之¹, 秋山 亨², 白石 賢二³

Shimane Univ.¹, Mie Univ.², Nagoya Univ.³

°Hiroyuki Kageshima¹, Toru Akiyama², Kenji Shiraishi³

E-mail: kageshima@riko.shimane-u.ac.jp

Si MOS 界面は、従来型の MOSFET に用いられるだけにとどまらず、次世代の Si 電子流体効果素子や半導体量子コンピュータの Si 量子ビットにも用いられており、その詳細理解はデバイス性能の一層の向上に不可欠である。我々は、MOS 界面を形成する Si 酸化過程において、界面から酸化膜中へ輸送される Si 原子に注目 [1]。これが格子間 SiO という構造を持って酸化膜中を酸化膜表面へ向けて拡散する経路を原子のレベルで同定することに成功し、またそうして求めた拡散定数が実験値と矛盾しないことを明らかにした [2,3]。しかし、これらの研究で用いたモデル Si 酸化膜の密度は実験値と同じではなく、また、モデル酸化膜は結晶であったが、本来の酸化膜はそもそもアモルファスであり、様々な局所的な密度を持つと考えられる。そこで、拡散経路の障壁高さの密度依存性、つまりその媒質効果を今回は検討した。

計算モデルは通常密度 2.54g/cm^3 の β -quartz に基づいて作成したこれまでのバルクモデルと、密度 2.65g/cm^3 の通常 α -quartz と $2.39, 2.29, 2.19\text{g/cm}^3$ の等方的に引っ張った β -quartz に基づいて作成したものである。

図 1 はこうして計算した、SiO 拡散過程のポテンシャルプロファイルである。明らかなように、密度によって障壁高さは大きく変化している。最も安定であった準安定状態は 2.39g/cm^3 の場合で、従来より 0.95eV だけ安定化した。また最もエネルギーの低い律速遷移構造は 2.29g/cm^3 の場合で、従来より 0.42eV だけ低くなった。その結果、一番低い準安定構造と一番低い律速遷移構造のエネルギー差から求まる最適障壁高さは 5.18eV となり、実験値 5.13eV [4] と良い一致を示した。このことから、Si 酸化膜は、局所的には様々な密度の quartz 的構造を含んでいて、その quartz 的構造を拡散する経路が全体の拡散障壁高さを律速しているものと考えられる。

ただし、Si 酸化膜は結晶に近い周期性を有しているものの、cristobalite という quartz とは別の SiO_2 結晶相の構造を平均的には有しているという報告がある [5]。さらには、Si 酸化物には様々な大きさの空隙が存在することが知られ

ている [6]。これらのことから、Si 酸化膜は、様々な密度を持った quartz 的な部分と cristobalite 的な部分、そして様々な大きさの空隙から成り立っている複合物とみなすべきであることが想定できる。

これまでの我々の計算は quartz モデルに基づいていたが、cristobalite モデルでも同様な検討が可能である。また、quartz と cristobalite は、格子間 Si を一定の周期で挿入しても、Si 原子空隙を挿入しても、相互に構造変形しうる。これらのことから、様々な Si 酸化膜を単なるアモルファスとしてひとまとめにせず、それぞれの局所的構造に注目して見分ける「膜質」の視点が重要であると考えられる。

本研究の一部は、東京大学物性研究所スーパーコンピュータセンター、および理化学研究所の富岳を利用した。また本研究の一部は科研費 (22K18294) の支援を受けている。

[1] H. Kageshima, et al., Jpn. J. Appl. Phys. **45**, 694 (2006).

[2] H. Kageshima, et al., Mater. Sci. Semicond. Proc. **162**, 107527 (2023).

[3] H. Kageshima, et al., Jpn. J. Appl. Phys. **61**, 04SP08 (2024).

[4] M. Uematsu, et al., Appl. Phys. Lett. **84**, 876 (2004).

[5] K. Tatsumura, et al., Phys. Rev. B **69**, 085212 (2004).

[6] J. F. Shackelford, J. Non-Cryst. Solids **253**, 231 (1999).

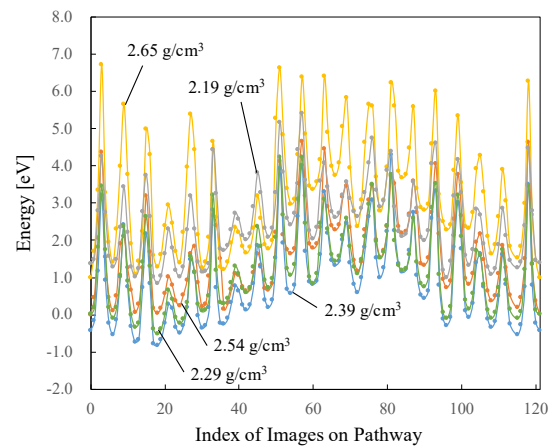


図 1. 様々な密度の SiO_2 中の Si 拡散におけるポテンシャルプロファイル。

Si(001)面酸化における Pseudo-Cristobalite モデルの一考察

A consideration for Pseudo-Cristobalite model appeared in Si(001) oxidation

¹グローバルウェーハズ・ジャパン(株), ²岡山県立大情報工 [○]神山栄治 ^{1,2}, 末岡浩治 ²¹ GlobalWafers Japan Co., Ltd., ² Okayama Pref. Univ., [○] E. Kamiyama^{1,2}, K. Sueoka²

E-mail: ejkamiyama@aol.com

当グループでは、Si 結晶を酸化して得られる SiO₂ 膜の原子構造について、格子間 Si の放出を伴わずに Si 結晶の構造を引き継いだ β -Cristobalite (Ideal) (C) と格子間 Si の放出により生成する α -Quartz (Q) からなる「合金」モデルを提唱している [1]. このモデルでは熱平衡を仮定したうえで、第一原理計算から得られる SiO₂ 膜のエネルギーから、大半が Q となるものの、一定量の C も残存する [1]. また、格子間 Si の放出に関して、酸化反応面に沿って O が $\langle 110 \rangle$ 方向へ整列することによって局所的に Si 格子が歪み、界面付近の原子空孔の形成エネルギーを低下させる [2]. 実際の酸化においては、この O の整列がランダムに発生することに伴い、格子間 Si の放出もランダムに起こると考えられることから、上述のモデルの C と Q の配列も無秩序に発生し、結果として得られる膜がアモルファスになると推定している [1].

ところで、Si 表面を熱酸化した SiO₂ 膜/Si 界面を透過型電子顕微鏡 (TEM) 観察した結果は 1980 年代から報告されているが、SiO₂ 膜の結晶構造について、決定的な結果は得られていなかった.

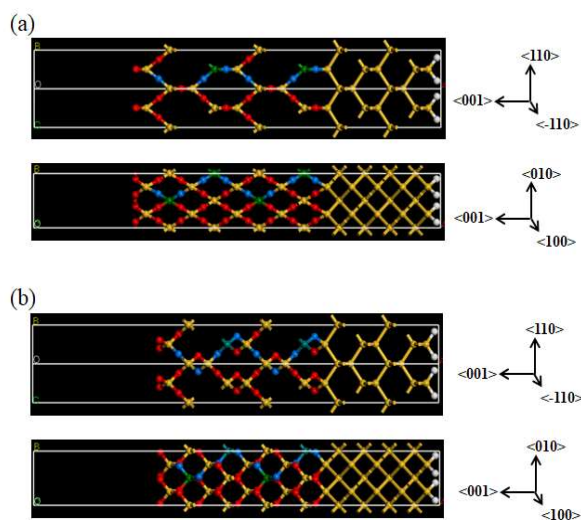


図 1 (a) Pseudo-Cristobalite モデル (Ideal), (b) 構造緩和後のモデル (→ Ideal とは別の β -Cristobalite 構造 [6]).

2012 年になって、TEM 観察で用いる電子線による試料ダメージを極力避けることで、SiO₂ 膜/Si 界面で、格子間 Si の放出を行わない β -Cristobalite /Si 基板構造である Pseudo-Cristobalite モデルが妥当であると報告された [3].

そこで、本報告では、この Pseudo-Cristobalite モデルの妥当性について、第一原理計算により研究した [4]. なお、この Pseudo-Cristobalite モデルは、1989 年以降、多くの報告がある [5].

図 1(a) に提案された Pseudo-Cristobalite モデルを示す. これを初期構造として作成したモデルの β -Cristobalite 構造は、第一原理計算による構造最適化の途中から崩れ、図 1(b) に示す構造となって計算が終了した. この構造では、O1 原子あたり、1.7 eV エネルギーが低く安定であった. TEM 観察により図 1(a) に示す構造が認められたということは、格子間 Si の放出が起こらずに酸化が進行したことを意味するが、それが極めて不安定な構造であることは興味深い.

構造最適化で得られた図 1(b) の SiO₂ の結晶構造は、1970 年代から知られる、Ideal とは別の β -Cristobalite である [6]. 当日は、この構造と Si との整合性を、最も Si と整合性の良い Quartz と比較した結果 [4] についても報告する.

参考文献

- [1] 神山他 2024 年秋応物 19p-B1-3; E. Kamiyama and K. Sueoka, *J. Appl. Phys.* **134** (2023) 115301. [2] 神山他 2024 年秋応物 19p-B1-4; H. Nagakura, et. al. *ECS J. Solid State Science and Technology*, **10** (2021) 123003. [3] K. Kimoto, et. al, *AIP Adv.* **2** (2012) 042144. [4] E. Kamiyama and K. Sueoka, *AIP Adv.* **14** (2024) 075217. [5] T. Hattori, et. al. *Jpn. J. Appl. Phys.* **28** (1989) L1436; 金田他 表面化学 **20** (1999) 732; T. Yamasaki, et. al. *Phys. Rev.* **B 63** (2001) 115314; 辰村光介 早稲田大学 学位論文 (2004). [6] A. F. Wright and A. J. Leadbetter, *Philos. Mag.* **31** (1975) 1391.

添加水分(H₂O)蒸気量を制御した NH₃ ガスによる低温酸化 Si 膜の残留 OH 基量の低減 Reduction of OH groups in low-temperature Si oxide films annealed by NH₃ gas with controlled amount of added water (H₂O) vapor

北陸先端大、^o堀田 将

JAIST, Susumu Horita

E-mail: horita@jaist.ac.jp

【はじめに】低温酸化 Si(SiO_x)膜の形成は、電子デバイス作製などへの応用が期待され、膜質の向上と共に、より低温形成が望まれている。しかし、堆積温度の低温化に伴い膜中には多くの OH 基成分が残留し、絶縁性を悪化させるため、堆積後には 350°C 以上のアニール処理が必要となっている。これに対して我々は、以前、通常の N₂ アニールガスに NH₃ を添加することにより、低温で劇的な残留量の低減を報告した。さらに前回、NH₃ ガスに水分(H₂O)蒸気を添加すると、130°C アニールでも、より効果的な低減も報告した。^{1,2)} しかし、長時間アニールは逆効果になるため、今回、H₂O 蒸気量の制御によりその問題を克服し、長時間でも OH 基量の減少を持続できたので、その結果を報告する。

【実験方法】SiO_x膜は、堆積源として Decamthylcyclopentasiloxane: C₁₀H₃₀O₅Si₅ を用い、O₃ 及びトリクロロエチレンガスを併用して Si 基板上に大気圧 CVD 法により 190°C、10 分間堆積した。堆積後の OH 基除去には、基本反応ガスに 0.2 lm (liter per minute) NH₃+ 0.2 lm N₂ を用い、温度~185°C、1, 2 時間のアニールを行った。H₂O 蒸気添加は、室温付近の純水溶液に基本反応ガスを通して行うが、その蒸気量の制御は、総量固定の基本ガスを計測分流し、それを純水溶液へ流すことで行った。SiO_x 膜の化学的構造はフーリエ変換赤外分光(FT-IR)法により観測し、試料の OH 基含有量は、Si-O-Si ピークによる規格化 FT-IR スペクトルにおける 950 と 3050~3700 cm⁻¹ の OH に起因するピークで評価した。

【結果と考察】図 1 に、基本ガスのみ(Dry 青線)1 時間、H₂O 蒸気添加 1 (赤線)及び 2 時間(緑線)でアニールした試料の規格化 FT-IR スペクトルを、未処理の As-Depo.(黒線)のものと共に示す。図から

何れのアニール試料でも、OH 基に起因する~950 及び 3400 cm⁻¹ 付近のピークが大きく減少していることが分かる。これは、膜中 OH 基同士の脱水反応(Si-OH+Si-OH → Si-O-Si+H₂O)が NH₃ の触媒作用により促進したためである。さらに H₂O 蒸気を添加したもの(赤、緑線)は、無添加のもの(青線)に比べてさらに減少している。これは、H₂O が歪の大きい Si-O-Si 結合を水酸化して Si-OH を再形成するものの、NH₃ 触媒作用により歪のより小さい安定な Si-O-Si 結合を再構成する繰り返し反応で説明できる。しかし不思議なことに、アニールが 2 時間と長い緑線のは、赤線の 1 時間と短いものに比べて、OH 関連ピークが逆に増加している。図 2 に、2 時間アニールで図 1 の H₂O 蒸気添加のスペクトル(Full 緑)と H₂O 蒸気量を半減したもの(Half 赤色)を示す。図から、蒸気量を半減したもの(赤線)がそうで無いもの(緑線)に比べて OH 関連ピークが、明らかに減少していることが分かる。これは、アニールの長時間問題が H₂O 蒸気量の過剰供給に起因していることを意味しており、詳細な理由は現在検討中である。

【おわりに】講演当日は、他のデータも加えて議論する予定である。謝辞：本研究の一部は、JSPS 科研費 JP21K04649 の助成を受けた。参考文献：1) 堀田将、第 85 回秋季応用物理学会、20a-P06-6、2) S. Horita, JJAP, **83**, 111007 (2024).

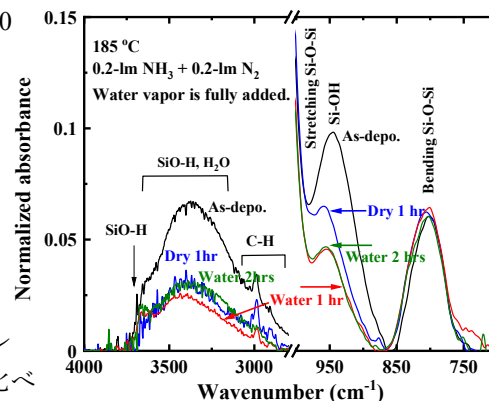


図 1 アニール前後 SiO_x 膜の FT-IR スペクトル

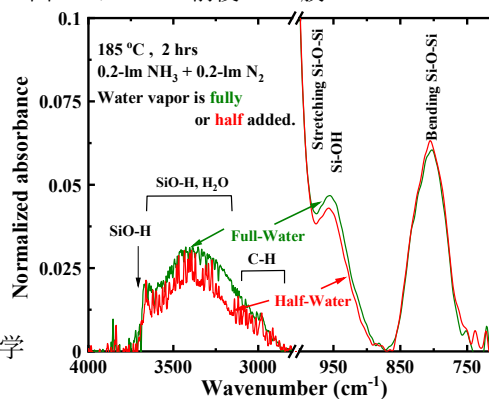


図 2 半減蒸気量アニール SiO_x 膜の FT-IR スペクトル

画像処理を用いた TEM 像用膜厚自動測長システムの開発 (Automatic Film Thickness Measurement for TEM Images by Image Processing)

株式会社 KOKUSAI ELECTRIC¹, °服部 真也¹, 喜多村 茜¹, 亀田 賢治¹

KOKUSAI ELECTRIC CORPORATION¹, °Shinya Hattori¹, Akane Kitamura¹, Kenji Kameda¹

E-mail: hattori.shinya@kokusai-electric.com

1. 背景

3D NAND フラッシュメモリの高層化により、メモリホールの深孔化が進んでいる。プロセス開発におけるステップカバレッジ (段差被覆性) 評価においては、メモリホールの各深さで得た輪切り平面 TEM 像を用いて、内壁の膜厚の測長が行われる。メモリホールの深孔化と測長結果の信頼性担保の理由から、評価に必要な TEM 像は数十枚にも及び、手動では限界がある。そこで学習用画像を必要とせず、手動よりも高速で属人性のない結果を得られるよう、独自の境界補正処理とラインプロファイル取得手法を用いた自動測長システムを開発したので報告する。

2. 方法

対象は、ホール内壁に a-Si が成膜された TEM 像とした。プログラミング言語 Python^[1]と画像解析ソフトウェア ImageJ^[2]を用いて、画像処理と自動測長を実行するシステムを構築した。本システムは、バンドパスフィルタ、二値化、境界補正処理を順に行い、抽出した境界を基に自動で測長結果を出力する。精度向上において、独自の境界補正処理とラインプロファイル取得手法が鍵となる。また同じ画像において、6箇所を自動測長し、自動測長結果と比較した。

3. 結果

図1に測長点を、表1に測長結果を示す。自動測長の結果は、手動測長の結果に比べて標準偏差(SD)が小さく、測長結果のばらつきが小さいことがわかる。また95%信頼区間において、誤差0.1nm以下で母平均を推定する場合、自動測長は必要な測長点数138以上を満たし、測長点数の観点からも本システムの有効性がわかる。当日は、境界補正処理及び自動測長の手法について詳細を報告する。

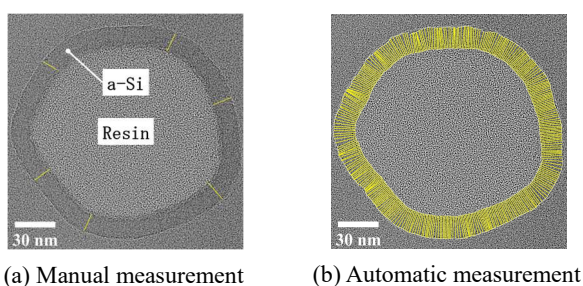


Fig. 1 Points of film thickness measurement

Table1 Results of film thickness measurement

Method	Meas. Points	Ave. /nm	SD /nm	Required number of meas. points
(a) Manual meas.	6	13.6	1.1	≥465
(b) Automatic meas.	360	15.8	0.6	≥138

[1] Python 公式サイト : <https://www.python.org/>

[2] Rasband, W.S., ImageJ, U. S. NIH, Bethesda, Maryland, USA, <https://imagej.net/ij/>, 1997-2018.