

一般セッション(口頭講演) | 13 半導体: 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

2025年3月17日(月) 13:30 ~ 16:00 皿 K103 (講義棟)

**[17p-K103-1~9] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術**

米谷 玲皇(東大)、呉 研(東工大)

13:30 ~ 13:45

[17p-K103-1]

ミニマル反応性スパッタ装置による強誘電性HfN<sub>x</sub>膜の形成○野田 周一<sup>1</sup>、藪田 勇氣<sup>2</sup>、山本 直子<sup>2</sup>、亀井 龍一郎<sup>2</sup>、三浦 典子<sup>1</sup>、池田 伸一<sup>1</sup>、原 史朗<sup>1,3</sup> (1.産総研、2.誠南工業、3.Hundred Semiconductors)

13:45 ~ 14:00

[17p-K103-2]

ミニマル液体ドーパント・プロセスに用いたMOSFETのシート抵抗の面内均一化(II)

○中道 修平<sup>1</sup>、本郷 仁啓<sup>2</sup>、三浦 典子<sup>2</sup>、池田 伸一<sup>2</sup>、原 史朗<sup>1,2</sup> (1.ミニマルファブ、2.産総研)

14:00 ~ 14:15

[17p-K103-3]

ミニマル装置を用いたレジストエッチバック平坦化プロセスの研究

○田中 宏幸<sup>1</sup>、新堀 俊一郎<sup>2</sup>、高橋 賢<sup>2</sup>、小粥 敬成<sup>1</sup>、三浦 典子<sup>1</sup>、池田 伸一<sup>1</sup>、原 史朗<sup>1,3</sup> (1.産総研、2.三友製作所、3.Hundred Semiconductors)

14:15 ~ 14:30

[17p-K103-4]

ミニマル装置を用いた水素アニールによるマイクロレンズ鋳型の作製

○濱田 健吾<sup>1,4</sup>、Huang Ying<sup>3</sup>、佐藤 徳子<sup>3</sup>、千葉 貴史<sup>1,4</sup>、寺田 昌男<sup>1,4</sup>、佐藤 和重<sup>1,4</sup>、三浦 典子<sup>2</sup>、池田 伸一<sup>2</sup>、原 史朗<sup>1,2</sup>、金森 義明<sup>3</sup> (1.ミニマルファブ、2.産総研、3.東北大、4.坂口電熱)

14:45 ~ 15:00

[17p-K103-5]

小口径ハーフィンチウエハにおける高粘性レジストプロセスの開発

○関藤 竜平<sup>1</sup>、小粥 敬成<sup>2</sup>、田中 宏幸<sup>2</sup>、三浦 典子<sup>2</sup>、池田 伸一<sup>2</sup>、原 史朗<sup>1,2</sup> (1.Hundred Semiconductors、2.産総研)

15:00 ~ 15:15

[17p-K103-6]

ウェハドロップレット洗浄技術におけるハーフィンチウエハ面内のプロセス均一性の評価

○根本 一正<sup>1</sup>、三浦 典子<sup>1</sup>、池田 伸一<sup>1</sup>、原 史朗<sup>1,2</sup> (1.産総研、2.(株)Hundred Semiconductors)

15:15 ~ 15:30

[17p-K103-7]

ミニマルレーザ加熱装置による水素雰囲気表面処理の半導体 CMOS デバイスへの応用検討(II)

○佐藤 和重<sup>1,2</sup>、千葉 貴史<sup>1,2</sup>、寺田 昌男<sup>1,2</sup>、濱田 健吾<sup>1,2</sup>、金森 義明<sup>3</sup>、三浦 典子<sup>4</sup>、池田 伸一<sup>4</sup>、原 史朗<sup>1,4</sup> (1.ミニマルファブ推進機構、2.坂口電熱、3.東北大、4.産総研)

15:30 ~ 15:45

[17p-K103-8]

ミニマル水プラズマアッシングプロセスを用いて作製したデバイス特性のウェハ面内均一性

○三浦 典子<sup>1</sup>、本郷 仁啓<sup>1</sup>、相澤 洸<sup>2</sup>、野川 満徳<sup>2</sup>、大西 康弘<sup>2</sup>、石島 達夫<sup>3</sup>、池田 伸一<sup>1</sup>、原 史朗<sup>1,4</sup> (1.産総研、2.米倉製作所、3.金沢大学、4.Hundred Semiconductors)

---

15:45 ~ 16:00

[17p-K103-9]

ミニマルファブにおけるウェハ面内ばらつき要因の分析

○本郷 仁啓<sup>1</sup>、野田 周一<sup>1</sup>、三浦 典子<sup>1</sup>、池田 伸一<sup>1</sup>、原 史朗<sup>1,2</sup> (1.産総研、2.Hundred Semiconductors)

---

# ミニマル反応性スパッタ装置による強誘電性 $\text{HfN}_x$ 膜の形成

## Formation of Ferroelectric $\text{HfN}_x$ Films Using Minimal Fab Reactive Sputtering Tool

産総研<sup>1</sup>, 誠南工業(株)<sup>2</sup>, (株)Hundred Semiconductors<sup>3</sup>

○野田周一<sup>1</sup>, 藪田勇気<sup>2</sup>, 山本直子<sup>2</sup>, 亀井龍一郎<sup>2</sup>, 三浦典子<sup>1</sup>, 池田伸一<sup>1</sup>, 原 史朗<sup>1,3</sup>

AIST<sup>1</sup>, Seinan-kogyo<sup>2</sup>, Hundred Semiconductors<sup>3</sup>

○S. Noda<sup>1</sup>, Y. Yabuta<sup>2</sup>, N. Yamamoto<sup>2</sup>, R. Kamei<sup>2</sup>, N. Miura<sup>1</sup>, S. Ikeda<sup>1</sup>, and S. Hara<sup>1,3</sup>

E-mail: s-noda@aist.go.jp

### 1. はじめに

強誘電性  $\text{HfN}_x$  膜 (以下 FE- $\text{HfN}_x$  膜と言う) を用いた 1Tr 型の Fe-RAM 応用[1]を念頭に、ミニマル反応性スパッタ装置を用いての膜形成を検討している。前回の講演では、DCMS (DC Magnetron Sputtering) 方式による FE- $\text{HfN}_x$  膜形成を行って MFS (Metal Ferroelectrics Silicon) ダイオード構造を作製し、X線回折 (XRD) による結晶評価、書き込み前後の C-V 特性等から FE- $\text{HfN}_x$  膜が得られている可能性を示した[2]。今回は、スパッタリングパワーが MFS 構造に与える効果を調べるために、FE- $\text{HfN}_x$  膜スパッタ条件の最適化および結晶性と各種電気的特性の評価を行ったのでその結果を報告する。

### 2. 実験方法

図1は、MFS ダイオード構造(数字はプロセス来歴順)を示す。p-Si (100)あるいは p<sup>+</sup>-Si (100)基板上に、ミニマル反応性スパッタ装置の DCMS モード、Ar/N<sub>2</sub>混合ガスを用いて、①FE- $\text{HfN}_x$ 膜、②Metallic  $\text{HfN}_x$ 膜を in-situ で順次成膜後、N<sub>2</sub>雰囲気中で 400°C、5 分間の PMA (Post Metallization Annealing) を行った。次に、③上部 Al 電極形成、ウェットエッチングによるダイオードパターン形成、④バックメタル (Al) の形成を行って作製した。①FE- $\text{HfN}_x$ 膜および②Metallic  $\text{HfN}_x$ 膜のスパッタ条件は、それぞれの N<sub>2</sub> 流量比率を FE- $\text{HfN}_x$ 膜では 10.7~25 %、Metallic  $\text{HfN}_x$ 膜では 0.7%一定、放電圧力は全て 1 Pa で一定とした。実測はしていないが、理想的な膜組成での N 比率 x は①FE- $\text{HfN}_x$ 膜のとき 1.15、②Metallic  $\text{HfN}_x$ 膜のとき 0.5 とされている[1]。FE- $\text{Hf}_x/\text{Si}$  (100)界面のスパッタリングパワー依存性を見るために、DC 放電パワーを 25 W および 50 W に設定した。p<sup>+</sup>-Si 基板は、p-Si (100)基板を用いて BSOG (硼素添加スピノンガラス) を用いた固相拡散およびドライブイン酸化プロセスで作製した。結晶構造は XRD (Cu K $\alpha$ )で評価した。MFS ダイオードは、高周波 C-V 測定、I-V 測定、およびソーヤ・タワー法[3]を用いた分極-電圧 (P-V) 測定を行い比較評価した。

### 3. 結果

図2は、p-Si 基板上に形成した MFS の PMA 後の XRD スペクトルで、(a)は 50 W、(b)は 25 W のスパッタパワーで作製した MFS ダイオードの結果を示す。Hf 空孔 (V<sub>Hf</sub>) を持つ  $\delta$ - $\text{HfN}_x$  (111)面の回折角度は立方晶の  $\delta$ - $\text{HfN}$  (111)面のそれよりも低角度側にピークが現れることが知られているが、 $2\theta = 33.5^\circ$ のとき菱面体晶構造が形成されて強誘電性を示すとされている[1]。パワー50 W の時は積層膜の  $\delta$ - $\text{HfN}_x$  (111)ピーク位置が  $33.5^\circ$ よりもやや大きめであったが、パワーを 25 W に下げたときは、N<sub>2</sub> 流量比率によらずに  $33.5^\circ$ になることが確認された。但し、ピーク強度が大幅に減少しているため、結晶粒が小さくなっているものと思われる。図3は、p<sup>+</sup>-Si 基板上に形成した MFS の I-V 特性を示す。スパッタパワー50 W で形成した MFS ダイオードはリークが非常に大きく殆ど導通状態となっていたが、パワーを 25 W に下げた場合は、リーク電流は大幅に低減された。リーク電流はスパッタ成膜時の過剰な入射粒子エネルギーによる界面欠陥によるものと考えられ、低パワー化でこれが改善されたものと考えられる。図4は、作製した MFS ダイオードの P-V 特性を示す。測定では  $\pm 3\text{V}$  程度の抗電圧が得られ、分極していることが確認された。

#### 参考文献:

- [1] S. Ohmi et al., J. Electron Devices. Soc., **9**, 1036 (2021).
- [2] 野田周一, 他, 第 85 回応用物理学会秋季学術講演会, 16a-B1-4 (2024).
- [3] C. B. Sawyer and C. H. Tower, Physical Review, **35**, 269 (1930).

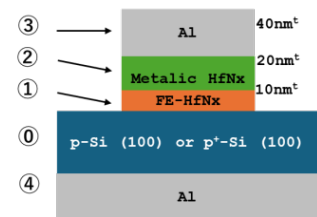


図 1. MFS ダイオード構造

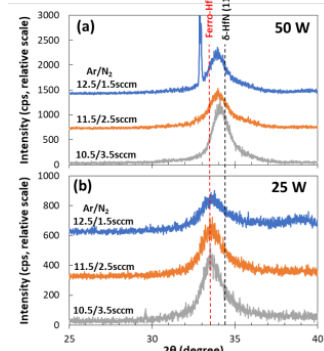


図 2. XRD スペクトル

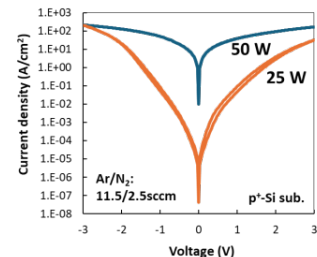


図 3. I-V 特性比較

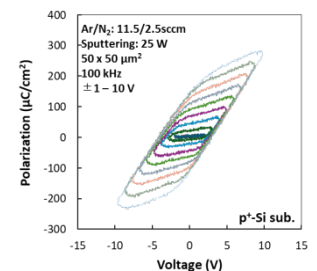


図 4. P-V 特性

## ミニマル液体ドーパント・プロセスに用いた MOSFET のシート抵抗の面内均一化 (II)

In-plane Homogenization of Sheet Resistance of MOSFETs on a wafer using Minimal-Fab Spin-on Dopant Process (II)

1 ミニマルファブ推進機構、2 産業技術総合研究所

○中道 修平<sup>1</sup>、本郷 仁啓<sup>2</sup>、三浦 典子<sup>2</sup>、池田 伸一<sup>2</sup>、原 史朗<sup>1,2</sup>

MINIMAL<sup>1</sup>, AIST<sup>2</sup>

Shuhei Nakamichi<sup>1</sup>, Hiroyoshi Hongoh<sup>2</sup>, Noriko Miura<sup>2</sup>, Shinichi Ikeda and Shiro Hara<sup>1,2</sup>

E-mail: shuhei-nakamichi@minimalfab.com

【背景・目的】産総研とミニマルファブ推進機構では、 $\phi 12.5\text{mm}$  のハーフィンチウェハを用いた生産システムであるミニマルファブの開発を進めてきた[1]。MOSFET 構造のデバイス試作に必要な不純物拡散には、SOD(Spin On Dielectric)材料を用いた熱拡散方法を採用している。このプロセスを用いて、これまで CMOS を中心としたデバイス及びそれらを用いた集積回路の試作等に成功している。さらに、より高集積で安定したデバイスを製造するために、SOD 塗布プロセスの安定性を向上させたプロセスの開発を進めてきた[2]。実際に、SOD 塗布プロセスを集積回路などの実用用途に用いる場合、溶質として不純物原子が入った有機ポリマーを用いる SOD 溶液では、溶媒中で溶質を均一にウェハコーティングしようとする場合、以下の問題が顕在化する。(1)コーティングの面内均一性、(2)ウェハエッジ部に発生するエッジビード、(3)裏面への塗布薬剤の回り込みである。これらの課題に対応した塗布プロセスを開発した [3]。前回の報告 [4]では、ボロンドープ pMOSFET で、直径方向に不均一な膜厚分布を、均一になるように改良することができた。しかし、ボロンドープ pMOSFET プロセスにおいて、シート抵抗の平均値が改良前よりも大きくなり、ウェハエッジ付近ではシート抵抗のばらつきが大きくなる結果であった。

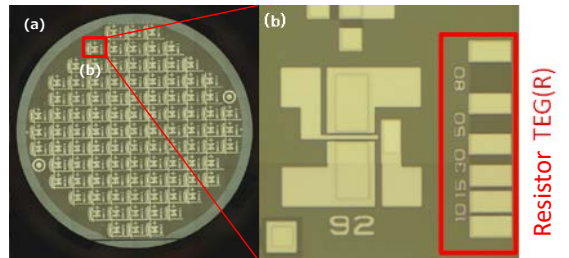


図 1. シート抵抗測定用サンプル  
(a)ハーフィンチウェハ上に99セルを配置したpMOSFET  
(b)セル内のボロン拡散抵抗部の拡大

【プロセス改良と検証】今回の実験では、SOD 溶液を均一に塗布するため、従来より比較的時間をかけて面内均一性を向上させる以下の条件を使用した。

①SOD 溶液を振り切るための回転加速度を 1000 rpm/sec(従来 5000 rpm/sec)、②振り切り後の乾燥の回転数を 4000 rpm (従来 5000 rpm)、③塗布後のベーク温度を 120 °C、150 °C の 2 条件(従来 200 °C)とした。ただし、使用する SOD 溶液中のボロンを均一に分散させるため、塗布の前にミキサーで SOD 液を充填したシリンジに振動を与えて攪拌した。上記①～③のプロセス条件で塗布薬液のスピンコートを行い、pMOSFET サンプルウェハ 2 枚を作製した。図 1(a),(b)のように、ウェハ上にトランジスタと抵抗器を含む TEG を 99 セル、レイアウトした配置になっている。ゲートには Al/Si を用いており、酸化膜の膜厚は 60 nm である。

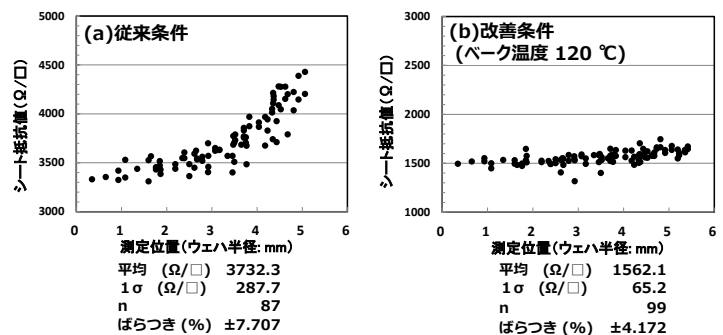


図 2. 改善プロセス前後のシート抵抗分布

(a)従来条件(回転数: 5000 rpm, 加速度: 5000 rpm/s, ベーク温度: 200 °C)  
(b)改善条件(回転数: 4000 rpm, 加速度: 1000 rpm/s, ベーク温度: 120 °C)

図 1(a),(b)のように、ウェハ上にトランジスタと抵抗器を含む TEG を作製した。シート抵抗分布評価には、図 1(b)に示すシート抵抗評価 TEG を用いた。図 2 に (a)従来条件サンプルと (b)今回の試作サンプルのうちベーク温度 120 °C のサンプルのウェハ径方向に対するシート抵抗値の分布を示す。抵抗器の位置をウェハ中心からの距離として表している。従来条件(a)のウェハ面内でのシート抵抗のばらつきは、±7.7 % ( $1\sigma = 287.7 \text{ } \Omega/\square$ ) であり、ウェハ中央部からエッジに向かってシート抵抗が高くなる傾向が認められた。測定したシート抵抗の平均値は 3732.3  $\Omega/\square$  であった。一方、改善条件 図 2(b) のウェハ面内でのシート抵抗のばらつきは、±4.2 % ( $1\sigma = 65.2 \text{ } \Omega/\square$ ) であり、図 2 (a) の分布と比べるとかなり均一な分布となっていた。また、測定したシート抵抗の平均値は 1562.1  $\Omega/\square$  であり、従来条件と比較して半分以下の値まで改善された。以上の結果をまとめると、プロセス条件の変更により、SOD 塗布膜のウェハ面内均一性は大幅に改善された。今後はプロセス条件による電気的特性への影響を詳細に評価していく予定である。

図 2 (a) の分布と比べるとかなり均一な分布となっていた。また、測定したシート抵抗の平均値は 1562.1  $\Omega/\square$  であり、従来条件と比較して半分以下の値まで改善された。以上の結果をまとめると、プロセス条件の変更により、SOD 塗布膜のウェハ面内均一性は大幅に改善された。今後はプロセス条件による電気的特性への影響を詳細に評価していく予定である。

〈参考文献〉

- [1] 原 史朗、クンプアン ソマワシ:「ミニマルファブの開発とそのデバイスプロセス」、応用物理学会誌 83(5),p.380(2014).
- [2] 中道 修平ら、第 83 回応用物理学会秋季学術講演会 20a-A406-7(2022)
- [3] 中道 修平ら、第 70 回応用物理学会春季学術講演会 15a-B410-2(2023).
- [4] 中道 修平ら、第 85 回応用物理学会秋季学術講演会 16a-B1-9(2024).

## ミニマル装置を用いたレジストエッチバック平坦化プロセスの研究 Study of resist etch-back planarization process using Minimal Fab equipment

○田中 宏幸<sup>1</sup>, 新堀 俊一郎<sup>2</sup>, 高橋 賢<sup>2</sup>, 小粥 敬成<sup>1</sup>, 三浦 典子<sup>1</sup>, 池田 伸一<sup>1</sup>, 原 史朗<sup>1,3</sup>  
(<sup>1</sup>産総研,<sup>2</sup>三友製作所,<sup>3</sup>Hundred Semiconductors)

○H. Tanaka<sup>1</sup>, S. Shinbori<sup>2</sup>, S. Takahashi<sup>2</sup>, H. Kogayu<sup>1</sup>, N. Miura<sup>1</sup>, S. Ikeda<sup>1</sup> and S. Hara<sup>1,3</sup>  
(<sup>1</sup>AIST,<sup>2</sup>SUNYOU,<sup>3</sup>Hundred Semiconductors) E-mail: tanaka.hiroyuki@aist.go.jp

### 【 背景・目的 】

ハーフィンチウエハを用いる高付加価値多品種少量市場向け超小型半導体製造システム・ミニマルファブでは、CMOS 集積回路の開発にあたって、デバイス間の素子分離技術として古典的なLOCOS(Local Oxidation of Silicon)構造や従来のSTI(Shallow Trench Isolation)ではなく、SOI(Silicon On Insulator)を用いて、BOX(Buried Oxide)上のトップシリコン層を素子毎にアイランド上にエッチング加工して空間分離する方法を用いている。この方法では、素子間は空間分離されているために素子間リークが限り無くゼロに近い理想的な素子分離ができることに優位性がある。一方、集積回路の開発を進めて行く段階で、素子間配線形成においては、デバイスアイランド間の段差を乗り越えなければならないため、段差部分で配線の段切れ[Fig. 1]が起りやすくなることがわかってきた。やはりアイランド間をデポ酸化膜で埋めて、CMP(Cheical Mechanical Polishing)を用いて平坦化する方法、つまり、STIが良いのではないかと思えるところである。

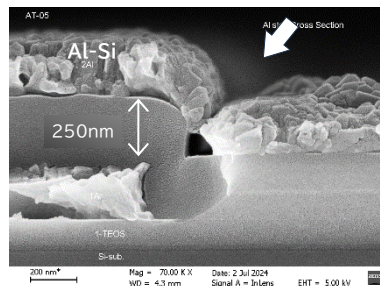


Fig.1 約 250 nm 程度の急峻な段差で段切れを起こした Al 配線断面写真

しかし、CMP については、クロスコンタミの問題の他、ウエハ端面のエッチングレートが低下する問題、CMP の研磨レートがパッドの目詰まりで劣化し続けること、また、CMP での研磨レートがデバイスの構造依存性を持つ事などの欠点がある。そこで本報告では、CMP を使わずにアイランド上に堆積した TEOS(Tetraethyl orthosilicate)膜をレジスト堆積とその後のエッチングにて、レジストと TEOS のエッチングレートを 1:1 にするようなプロセスを考案して、TEOS 表面を平坦にエッチバックする技術の検討を行ったので報告する。

### 【 実験結果と考察 】

SOI ウエハの活性層(200nm)にドライエッチングを行って急峻な段差を作成し、その上部に300nm厚のTEOS膜を成膜させると、ウエハ表面にFig.2の様な約170nmの段差のTEOS凹凸が現れる。レジストエッチバックプロセスは、凹凸表面にレジスト膜を塗布することでレジスト塗布膜表面において平坦面となることを利用し、そこからレジスト膜と段差を形成するTEOS膜のエッチレートがほぼ同等となるプラズマエッチングで、所望厚さの平坦化を行う手法である。今回、そのエッチングは、ミニマルマイクロプラズマエッチング装置を使用した。その条件は、

1st step: レジスト E/R=168 nm/min 対 TEOS 選択比 =5.5(レジスト主体のエッチング)  
2nd step: TEOS E/R= 43 nm/min 対レジスト選択比 =1.3(TEOS・レジストがほぼ同等)

その結果、エッチング前では約170nmあった段差[Fig.2]が、プロセス終了時では約60nm程度まで平坦化[Fig.4]されたことがわかった。Fig.3は、1st step終了時の平坦化の様子である。レジスト膜残り部分が凹部平坦化に寄与していることがわかる。これにより、アルミ配線スパッタ膜の段切れ問題に対して、大いに改善が期待できるようになった。

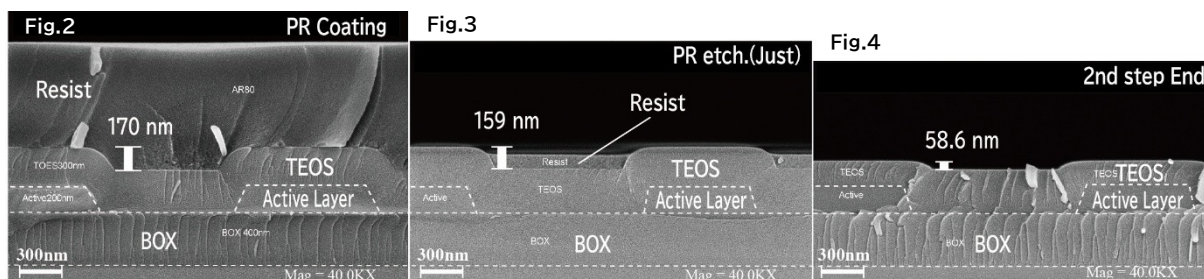


Fig.2 170nm 程度の段差 TEG にレジストコーティングして、表面の凹凸をリセットした加工前の状態

Fig.3 レジスト主体のエッチング条件で TEOS 表面までエッチングを行った途中経過。1st : 270sec

Fig.4 TEOS とレジスト膜のエッチングレートが極力等しくなる条件で、レジスト残膜を除去するまで平坦化を行った状態  
1st: 245sec, 2nd: 183sec

<謝辞>この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果で得られたものである。

<参考文献>

[1] 原 史朗, クンプアン ソマワ, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).

## ミニマル装置を用いた水素アニールによるマイクロレンズ鑄型の作製

### Fabrication of microlens molds by hydrogen annealing using Minimal Fab

ミニマルファブ推進機構<sup>1</sup>, 産総研<sup>2</sup>, 東北大学<sup>3</sup>, 坂口電熱<sup>4</sup>

○濱田 健吾<sup>1,4</sup>, Ying Huang<sup>3</sup>, 佐藤 徳子<sup>3</sup>, 千葉 貴史<sup>1,4</sup>, 寺田 昌男<sup>1,4</sup>, 佐藤 和重<sup>1,4</sup>,

三浦 典子<sup>2</sup>, 池田 伸一<sup>2</sup>, 原 史朗<sup>1,2</sup>, 金森 義明<sup>3</sup>

MINIMAL<sup>1</sup>, AIST<sup>2</sup>, Tohoku University<sup>3</sup>, and SAKAGUCHI ELECTRIC HEATERS<sup>4</sup>

○Kengo Hamada<sup>1,4</sup>, Ying Huang<sup>3</sup>, Noriko Sato<sup>3</sup>, Takashi Chiba<sup>1,4</sup>, Masao Terada<sup>1,4</sup>,

Kazushige Sato<sup>1,4</sup>, Noriko Miura<sup>2</sup>, Shinichi Ikeda<sup>2</sup>, Shiro Hara<sup>1,2</sup>, and Yoshiaki Kanamori<sup>3</sup>

E-mail: k\_hamada@sakaguchi-d.jp

[はじめに] 現在、ミニマルファブ推進機構を中心に開発を進めているミニマルファブの加熱装置の一つに、レーザ光をウェハに面で照射し加熱するレーザ加熱がある。従来の抵抗加熱と異なり、レーザ光をウェハだけに照射し加熱するので、超高速な昇降温が可能である<sup>[1]</sup>。我々はミニマルレーザ加熱装置の発展形としてレーザ加熱による表面平滑化を可能とするミニマルレーザ水素アニール装置を平成30年度サポイン事業（現 Go-Tech 事業）により開発した。これまでに、柱状構造を作製し、その立体構造について水素アニールの表面処理効果を確認することができた<sup>[2]</sup><sup>[3]</sup>。今回は、より実践的な柱状構造に対してレーザ水素アニールを実施し、マイクロレンズ鑄型を作成する実験を行った。その結果について報告する。

[実験方法] 20mm 角 Si 基板に対して  $\phi 768\text{nm}$  高さ 539nm の円柱構造を深掘りエッチングにて作製した。続いて、水素アニールの前処理として、SPM 洗浄、HF 洗浄、純水洗浄を行った。Fig.1 のように洗浄したサンプルをハーフインチサイズのトレイにカットして載せ、ミニマルファブレーザ水素アニール装置を用いて、水素流量 30cc/min、チャンバー圧力を 20kPa とし、プレアニールを 800°C で 30min、アニールを 1100°C で 1min 実施した。

[実験結果] Fig.2 に水素アニール前後の SEM 観察画像を示す。元の円柱構造の高さは 248nm に減少したが、その分円柱形状の角部が丸くなり、ドーム状になっていることが確認できる。本研究の一部は、東北大学マイクロ・ナノマシニング研究教育センターの設備を用いて行われた。

[結論] 本レーザ水素アニール技術は、円柱構造に対して実施することにより、マイクロレンズ鑄型構造を作製することが可能であることが見いだされた。

[1] 佐藤, 遠江, 千葉, 寺田, 中戸, 三浦, 池田, クンプアン, 原第 62 回応用物理学会春季学術講演会 講演予稿集, 14p-A29-4 (2015)

[2] 佐藤, 千葉, 寺田, 濱田, 中山, 金森, 田中, 加瀬, クンプアン, 原第 68 回応用物理学会春季学術講演会 講演予稿集, 19p-Z24-3 (2021)

[3] 濱田, Huang, 佐藤, 千葉, 寺田, 佐藤, 金森, 原第 85 回応用物理学会秋季学術講演会 講演予稿集, 16a-B1-6 (2024)

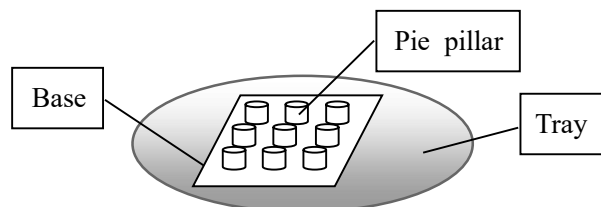


Fig.1 Experiment Summary Chart

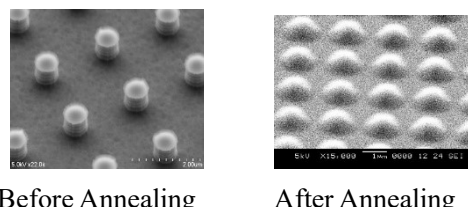


Fig.2 SEM Images

## 小口径ハーフィンチウェハにおける高粘性レジストプロセスの開発

### Development of photo resist process with high viscosity resist for a half inch diameter wafer

○関藤 竜平<sup>1</sup>, 小粥 敬成<sup>2</sup>, 田中 宏幸<sup>2</sup>, 三浦 典子<sup>2</sup>, 池田 伸一<sup>2</sup>, 原 史朗<sup>1,2</sup>

(<sup>1</sup>Hundred Semiconductors, <sup>2</sup>産総研)

°Ryuhei Sekifuji<sup>1</sup>, Hiroshige Kogayu<sup>2</sup>, Hiroyuki Tanaka<sup>2</sup> Noriko Miura<sup>2</sup>, Shinichi Ikeda<sup>2</sup>, and Shiro Hara<sup>1,2</sup>

(<sup>1</sup>Hundred Semiconductors, <sup>2</sup>AIST)

E-mail: ryuhei-sekifuji@i-hundred.com

#### 【背景・目的】

ミニマルファブは人サイズの装置を用いる超小型の多品種少量向け半導体製造システムである[1]。多品種少量向けであることから、MEMS デバイスに適している。一般に MEMS デバイスは立体構造が多いため、ウェハ加工においては深掘りエッチングが用いられる。そうすると、深掘りエッチングに耐えられるレジストを用いなければならない。単純には厚いレジストほどエッチング耐性があるため、深掘りエッチングには厚く塗布したレジストが使われる。それらは一般的に粘性(cP 値: centipoise = 0.001 Pa·s)が高いものが多い。

これまでの研究で、5 cP~400 cP までの粘性の異なるレジストの塗布特性を評価している[2]が、ミニマルファブで標準的に用いるハーフィンチウェハの厚み 250 μm を貫通エッチングするには、Si とレジストのエッチング速度比率が 30:1 とすると、5 μm を越えるレジスト膜厚が必要となる。このような厚いレジスト膜を塗布するには、そのレジストの粘性は cP 値が 1,000 以上の、スキンケアクリーム並みの高粘性レジストが求められる。このような高粘性レジストの塗布特性に関しては、cP 値が 400 以下のレジスト使用時とは異なった塗布現象が起こることが懸念される。大口径ウェハでは、裏面へのレジストの回り込みがあっても、バックサイドリンス (BSR) によって除去出来るので、面内厚さのばらつきが増える程度でさほど問題は大きくない。一方、ハーフィンチウェハにおいては、ウェハエッジからウェハをチャックするスピッチャックまでの距離が 3 mm 程度しかなく、裏面へレジストが回り込むと除去しにくくなる。

実際、粘性 1000 cP のレジスト塗布プロセスにおいて、図 1 のようなウェハ裏面汚れが発生することが見いだされた。この汚れは装置内に汚染を広げるだけでなく、搬送チャックに貼り付いてウェハを破損させる恐れもあるため、無視できない課題である。本稿ではその裏面汚れの原因と対策を調べた結果を報告する。

#### 【実験と結果】

まず、レジストの粘性の違いによってウェハ裏面への回り込みに違いがあるのかどうかを観察した。

ウェハを 2700 rpm で回転させてレジストを振り切る様子を、ハイスピードカメラ (4000 コマ/秒) を用いて撮影した。比較のために、低粘性レジストとして cP 値 23 の OFPR-5000 を用いて実験を行った。その結果、粘度が低い OFPR-5000 は図 2(a) のように球状になってレジストが飛び出す様子が観察できた。一方、高粘性レジストとして cP 値が 1000 の PMER P-CY1000 を用いると、図 2(b) のように飛び出したレジスト球体とウェハの間に糸引きしていることがわかった。また、糸引きしているレジストは、重力で次第に下降し、チャック機構の斜面部分に着地した後、その糸部分のレジストは、ウェハの回転によって、チャック機構で糸巻のように巻き取られ、最終的にはさらに細くなった糸状のレジストがウェハ裏面に貼り付くことがわかった。

次に発生した汚れを除去する方法を検討した。これまで、ミニマルファブコータでの BSR

はレジストを振り切った後に実施していた。しかし、CY1000 の汚れ形状とスピッチャックの形状を図 3 のように比較すると BSR が当たらない領域に汚れが残っていることがわかる。そこで、BSR を吐出しながら、レジストを振り切るプロセスへ変更した。結果、図 4 のようにリング状の汚れだけ残してほぼ裏面へのレジストの残留を抑えることが出来た。このリング汚れ跡は幾何学的な円形であるため、BSR により溶けたレジストが残ったものと考えられる。以上、1000 cP クラスの高粘性レジストでは、レジストのウェハからの振り切り形状は球体ではなく、球体とウェハエッジの間に糸を引くために、とりわけ小口径ウェハでは、その対策プロセスが肝要であることがわかった。

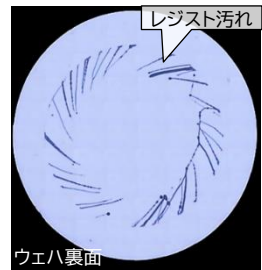


図 1. CY1000 レジスト塗布後のウェハ裏面の顕微鏡画像



図 2. ハイスピードカメラで撮影したレジスト振り切りの様子

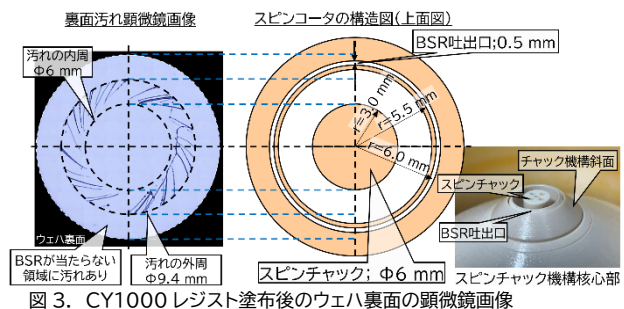


図 3. CY1000 レジスト塗布後のウェハ裏面の顕微鏡画像

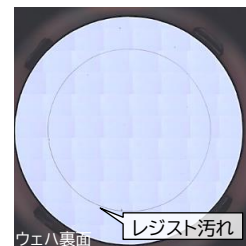


図 4. リング状の裏面汚れ

<参考文献>

[1] 原 史朗, クンパアン ソマワ, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).

[2] 中道 修平他, 「ミニマルコータを用いた各種レジストの塗布プロセスの検討」, 第 68 回応用物理学会春季学術講演会, 19a-Z24-6

# ウェハドロップレット洗浄技術におけるハーフインチウェハ面内のプロセス均一性の評価

Investigation of process uniformity within a half inch wafer for wafer droplet cleaning technology

産業技術総合研究所<sup>1</sup>, (株)Hundred Semiconductors<sup>2</sup>

○根本一正<sup>1</sup>, 三浦 典子<sup>1</sup>, 池田 伸一<sup>1</sup>, 原 史朗<sup>1,2</sup>

AIST<sup>1</sup>, Hundred<sup>2</sup>

Kazumasa Nemoto<sup>1</sup>, Noriko Miura<sup>1</sup>, Shinichi Ikeda<sup>1</sup>, and Shiro Hara<sup>1,2</sup>

E-mail: nemoto.kazumasa@aist.go.jp

**【背景と研究目的】** 超小型デバイス生産システムミニマルファブ[1]は、製造装置が人と同程度の超小型でクリーンルームが不要であることが大きな特徴である。メガファブ向け大口径ウェハの直径300 mmと較べて、ミニマルファブのウェハは直径が12.5 mmで、面積は1/1,000に縮小されるために、ウェハをスキャニングするプローブ技術においては、スキャニング時間つまりプロセス時間が1/1,000になるため非常に有利である。さらに、ウェハが小さくなると、ウェットプロセスでは、ウェハエッジでの表面張力が強く働き、その強い表面張力を利用してウェハ表面に液体を保持したままウェットプロセス処理が可能であり、省薬液になる。しかし、ウェハ上面からの薬液掛け流し方式では、裏面の洗浄やエッチングが出来ないだけでなく、ウェハが小さいため裏面へのエッジ部からの薬液が回り込んで汚染されるという課題があった。この課題に対し、ウェハを保持するウェハステージにリングを装着する事により、ウェハ裏面空間に薬液を溜めることができ、このことによりウェハ表面と裏面の表面張力が連動してウェハ上下の液体が一体化保持され、同時両面洗浄が可能になることが分かった[2]。この方法を Wafer Droplet Cleaning と命名している。ところが、表面張力が上がったことにより、ウェハ洗浄薬液を超純水に置換するリンスが逆に難しくなる。この課題に対しては、間欠的な純水リンスの使用によって、消費量を削減した効率的なリンス方法で効果が上がることが分かった[3]、さらに、リンス量(効率)性能は薬液別で置換効率が違うことが分かり、薬液別にリンス処理が最適化された[4]。これまでの開発では液量を考慮せずに洗浄の最適化をしてきた。本報告では、この最適化された Wafer Droplet Cleaning の省薬液の面から薬液使用量を調べたので報告をする。

**【実験方法】** ミニマル RCA 洗浄装置で RCA 洗浄(SC1:アンモニア/過酸化水素水、SC2:塩酸/過酸化水素水)を用いて、ウェハ表裏に液体が全面浸漬(図1)する時間を調べた。実験方法は、次の通りである。まず、ウェハ上面の薬液吐出ヘッドより薬液を1.5 secで0.4~1.4 ml吐出する。薬液はウェハの強い表面張力によってまずウェハ上に溜まるが、少しずつこぼれて裏面へ回り込む。その際、裏面より数ミリ下にリングがあるので、そのリングにも薬液が溜まる。リングにも強い表面張力が働くので、リング上面よりも薬液が盛り上がり、ウェハ裏面に接触し、結果として、ウェハ上面と裏面、それにリングプール部の薬液が一体となる薬液ドロップレットが形成される。しかし、リング下部は、ウェハステージとは一体でなく、隙間があるために、薬液は少しずつ漏れ出して薬液ドロップレットの体積は時間と共に縮小して行く。ここで、ウェハステージは10 rpmでゆっくり回転させ、その後、薬液がウェハ表面・裏面に全面浸漬している時間(一体化した薬液ドロップレットが形成を保っている時間)を計測した。液体が浸漬しているときは、ランプヒータで液体を80℃に加熱した。

**【結果と考察】** 図2は、SC1での薬液がウェハ表面・裏面に全面浸漬している時間と吐出液量の関係である。吐出液量1.0 mlでウェハ表面に液が15 sec間、ウェハ裏面には28 sec間全面浸漬している。次にパーティクル測定するために図2で得た最適な薬液量(1.0 ml)で、これまでの開発で最適化された方法で薬液洗浄、リンスと乾燥を行ったのが図3である。ウェハ表面(図3-a)は36個[0.15 μm以上]、ウェハ裏面(図3-b)74個[0.15 μm以上]であり、少ない液量でもウェハ両面が洗浄出来ていることが分かった。同じくSC2でも実験したのが図4である。液量0.8 mlでウェハ表面に液が27 sec間、ウェハ裏面には30 sec間全面浸漬を保つ。パーティクルは、ウェハ表面(図5-a)は69個、ウェハ裏面(図5-b)は117個であり、液の置換効率はウェハ表面よりウェハ裏面の方が悪いことが分かる。次にウェハ表面裏面の液の置換効率を、ウェハ両面にTh-SiO<sub>2</sub>膜を成膜してDHFを1.0 ml吐出して、これまでの開発で最適化されたエッチング方法で60 sec行った結果が図6である。ウェハ表面(図6-a)のエッチングレート平均は9.5 nm/minだがウェハ外周部のエッチングレート10 nm/minである。これは、中央部では遠心力が弱いので、薬液の流れが淀んでいるためかとも思えるが現時点では確証はない。一方、ウェハ裏面(図6-b)の平均10.4 nm/minだがエッチングは、まだ模様に見える。ウェハを支えるステージの支柱の周りは8 nm/minであり、ウェハ表面よりも裏面ではさらに液体が淀んでエッチングレートが低くなっていると言うのが一つの説明である。今後、さらなる最適化を進めて行く。

## ＜参考文献＞

- [1] 原史朗, クンブアンソマワン, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
- [2] 根本一正, 他, 第69回春季応用物理学会24a-E103-12(2022),
- [3] 根本一正, 他, 第70回春季応用物理学会15a-B410-6(2023)
- [4] 根本一正, 他, 第71回春季応用物理学会 22a-61C-1(2024)

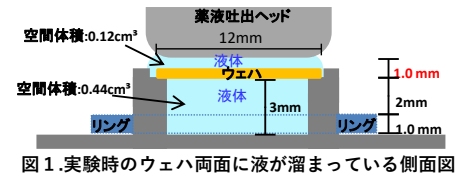


図1. 実験時のウェハ両面に液が溜まっている側面図

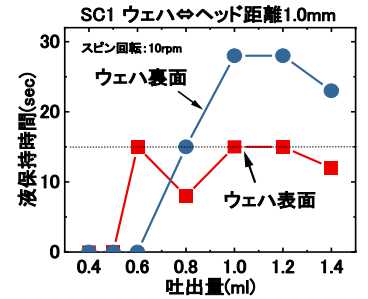


図2. SC1 液量別全面浸漬する時

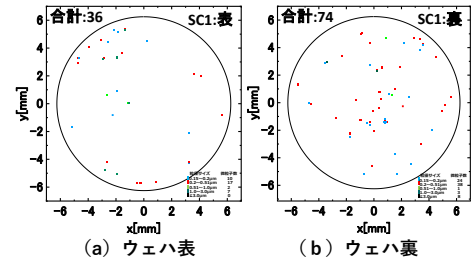


図3. SC1 処理後ウェハパーティクル

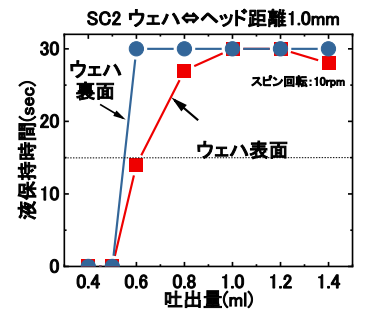


図4. SC2 液量別全面浸漬する時間

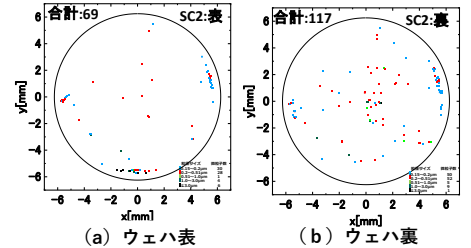


図5. SC2 処理後のウェハパーティクル

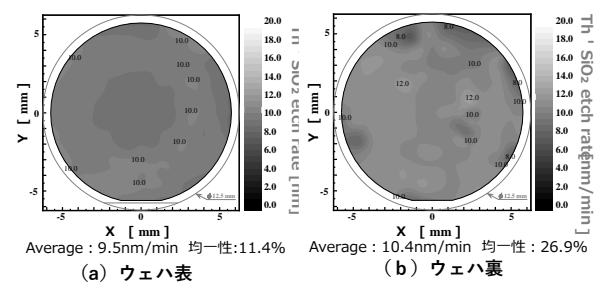


図6. DHF 処理後エッチングレート

## ミニマルレーザ加熱装置による水素雰囲気表面処理の 半導体 CMOS デバイスへの応用検討(Ⅱ)

Application study of hydrogen atmosphere surface treatment using the Minimal Fab laser heating tool to semiconductor CMOS devices(Ⅱ)

ミニマルファブ推進機構<sup>1</sup>, 坂口電熱<sup>2</sup>, 東北大<sup>3</sup>, 産総研<sup>4</sup>

○佐藤 和重<sup>1,2</sup>, 千葉 貴史<sup>1,2</sup>, 寺田 昌男<sup>1,2</sup>, 濱田 健吾<sup>1,2</sup>, 金森 義明<sup>3</sup>, 三浦 典子<sup>4</sup>, 池田 伸一<sup>4</sup>, 原 史朗<sup>1,4</sup>

MINIMAL<sup>1</sup>, SAKAGUCHI ELECTRIC HEATERS<sup>2</sup>, TOHOKU UNIV.<sup>3</sup> and AIST<sup>4</sup>

°Kazushige Sato<sup>1,2</sup>, Takashi Chiba<sup>1,2</sup>, Masao Terada<sup>1,2</sup>, Kengo Hamada<sup>1,2</sup>,  
Yoshiaki Kanamori<sup>3</sup>, Noriko Miura<sup>4</sup>, Shinichi Ikeda<sup>4</sup> and Shiro Hara<sup>1,4</sup>

E-mail: [kazushige-sato@minimalfab.com](mailto:kazushige-sato@minimalfab.com)

[はじめに] ミニマルファブの加熱装置には、レーザ光をウェハに面で照射し加熱するレーザ加熱炉がある。従来の抵抗加熱型とは異なり、レーザ光をウェハのみに照射し加熱するので、超高速な昇降温が可能である<sup>[1]</sup>。このプロセス技術の応用として、加熱チャンバーを超クリーン化して水素雰囲気中でウェハを高温アニールできる表面処理装置を開発した。Si ウェハの表面処理の効果として、Si 原子の自己拡散によって引き起こされる i)加工面の凹凸の平滑化、ii)平面角部や断面上部の角部の丸め化が期待できる。これまでこの表面処理の MEMS デバイスへの応用検討を進めてきたが<sup>[2]</sup>、さらなる応用の可能性として、Si 半導体 CMOS デバイスへの適用の検討を開始した。我々が開発しているミニマルファブの CMOS デバイスでは、SOI 基板を使用しており、トランジスタ等の素子分離を行うために、活性層 Si を BOX 層(Buried Oxide: SiO<sub>2</sub> 層)までドライエッチングし、BOX 層上に残った Si アイランドに素子を形成している。素子分離は固体ではなく、空間で分離しているので素子間リークが少ないという点等で理想的である。Si アイランド形成後に当該表面処理を行えば、上述のi)の Si 表面の平滑化、ii)の加工後の角部の丸め化により Si アイランド端を横切る配線の断線防止マージンの向上を期待できる。前回の報告ではミニマル装置を使用し Si アイランドを形成した評価サンプルに表面処理を 10 min 施し、900 °C 以上で形状変化を確認した<sup>[3]</sup>。今回、既存のミニマル CMOS プロセスをベースに表面処理を施した pMOS トランジスタを作製し、特性を評価したので報告する。

[実験方法] 図 1 に pMOS の作製フローと表面処理の条件を示す。まず 1) Si 活性層の厚さを 100 nm に調整し、次に 2) pMOS ソース/ドレイン領域に p<sup>+</sup>拡散層(PDIF)を、p 型不純物ボロン(B)を含む SOG(Spin on Glass)をウェハ上に塗布し 950 °C の熱拡散により形成した。3) Si アイランドを上記方法により形成後、ウェハを洗浄し表面処理を実施した。表面処理の温度と時間は前回の報告で Si アイランド端の断面形状が良好だった 900 °C、10 min とした。最後に 4) ゲート酸化膜 15 nm を 1150 °C で成膜後 Si と Al とのコンタクト部を開口、Al を成膜し電極を形成した。図 2 に測定したトランジスタのレイアウトを示す。トランジスタサイズはゲート長(PDIF 間距離) $L_g=10 \mu\text{m}$ 、ゲート幅  $W=48 \mu\text{m}$  で、2 mm<sup>2</sup> の TEG チップに 1 個搭載しウェハ上に 16(4×4)個配置した。

[実験結果] 図 3 に作製した pMOS の  $I_d$ - $V_d$ 、図 4 に  $I_d$ - $V_g$  特性を示す。図にはウェハ中央のチップ(3,3)の代表的な特性を示すが、ウェハ内全 16 個のトランジスタ全て良好に動作していることを確認した。これにより、水素雰囲気表面処理を CMOS プロセスに適用可能な見通しを得た。当日は、表面処理条件によるトランジスタ特性と Si アイランド端断面形状について合わせて議論する。

[1] 佐藤, 遠江, 千葉, 寺田, 中戸, 三浦, 池田, クンブアン, 原 第 62 回応用物理学会春季学術講演会 14p-A29-4 (2015).

[2] 佐藤, 千葉, 寺田, 濱田, 金森, 田中, 加瀬, クンブアン, 原 第 68 回応用物理学会春季学術講演会 19a-Z24-3 (2021).

[3] 佐藤, 千葉, 寺田, 濱田, 原 第 85 回応用物理学会秋季学術講演会 16a-B1-8 (2024).

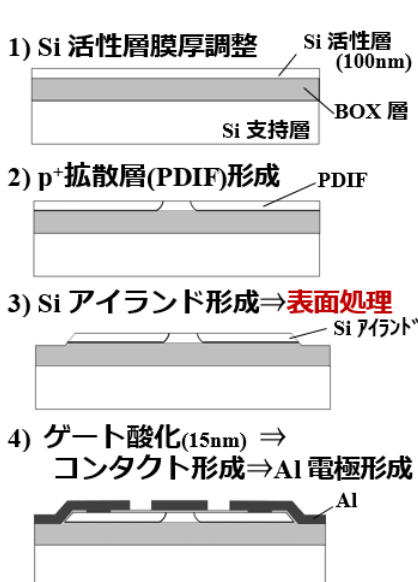


図 1 pMOS 作製フローと表面処理条件

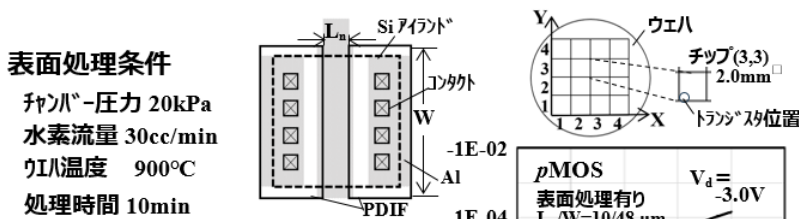


図 2 トランジスタレイアウト

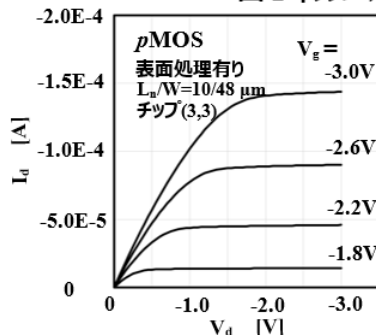


図 3  $I_d$ - $V_d$  特性

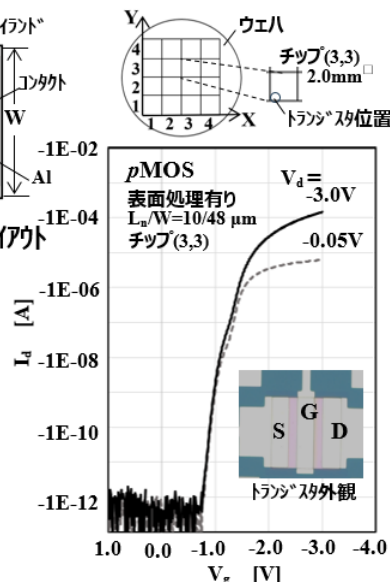


図 4  $I_d$ - $V_g$  特性

# ミニマル水プラズマアッシングプロセスを用いて作製したデバイス 特性のウェハ面内均一性

Uniformity of device characteristics using Minimal Water Plasma Ashing process

産業技術総合研究所<sup>1</sup>, 米倉製作所<sup>2</sup>, 金沢大学<sup>3</sup>, Hundred Semiconductors<sup>4</sup>

三浦 典子<sup>1</sup>, 本郷 仁啓<sup>1</sup>, 相澤 洸<sup>2</sup>, 野川 満徳<sup>2</sup>, 大西 康弘<sup>2</sup>, 石島 達夫<sup>3</sup>, 池田 伸一<sup>1</sup>, 原 史朗<sup>1,4</sup>

AIST<sup>1</sup>, YONEKURA MFG. Co., LTD<sup>2</sup>, KANAZAWA UNIV.<sup>3</sup> and Hundred<sup>4</sup>

Noriko Miura<sup>1</sup>, H. Hongoh<sup>1</sup>, T. Aizawa<sup>2</sup>, M. Nogawa<sup>2</sup>, Y. Onishi<sup>2</sup>, T. Ishijima<sup>3</sup>, S. Ikeda<sup>1</sup> and S. Hara<sup>1,4</sup>

E-mail: noriko-miura@aist.go.jp

**【背景と研究目的】** ミニマルファブにおけるレジスト除去工程では、(1)硫酸過水(SPM)を用いたウェット処理法と(2)酸素プラズマを用いたドライ処理法(アッシング)を用いている。しかし、(1)では環境負荷の高い液体の取扱いが必要であり、また、金属材料上では使用出来ないこと、(2)ではレジスト除去速度が遅く加熱によるダメージが懸念される等、それぞれのレジスト除去法には固有の問題点がある。これに対して、低環境負荷であり、ダメージの低減が期待できる新規のレジスト除去方法として「水プラズマアッシング(Water Plasma Ashing 以下、WPA と表記)技術」が提案されている<sup>[1]</sup>。WPA では、液体原料として水しか用いないため、基本的に金属を溶解することがなく、配線工程のアッシングにも適用可能であるというメリットがある。これまでの研究で、WPA 処理をフルミニマル(= 工程の全てをミニマル装置でプロセッシングする)pMOSFET 製造工程に組み込んで、従来の酸素プラズマアッシング処理と同等のデバイス特性が得られること、配線抵抗の上昇がないことを確認した<sup>[2][3]</sup>。しかし、現状の WPA プロセスのレジスト除去速度はウェハ外周部で低くなる傾向があるため、面内のレジストを完全除去するために、中央部に過剰なプラズマ処理が施されることになり、プラズマダメージ等によるデバイス特性の劣化が懸念される。そこで、本研究では、WPA 処理を酸素プラズマアッシング処理の代わりに用いた場合の pMOS トランジスタ特性の面内分布を評価したので、その結果について報告する。

**【実験方法】** 図1にミニマル WPA 装置の概略図を示す。マイクロ波の発振周波数は 2.45 GHz である。今回の実験では、マイクロ波出力 60 W の CW 波を用いた。WPA 処理は、少量の超純水をチャンバーに導入して減圧により気化させ、水蒸気雰囲気下でプラズマを生成させた。プラズマ発生部のアンテナの形状は、U 型スリットを 2 本配置することで電界分布を広げ、現状で最も良好な面内均一性が得られている DU(Double U-shaped)タイプ<sup>[4]</sup>を使用した。

デバイス評価サンプルは、ウェハ面内に 99 個の pMOS トランジスタをアレイ状に配置した TEG を使い、Al エッチング後のレジスト除去工程に WPA 処理を組み込み、現行の酸素プラズマアッシング処理と比較した。フォトリソには、約 1 μm 厚の OFPR5000 を用いた。アッシング時間は、WPA 処理は 240 sec、酸素プラズマアッシング処理は 480 sec (いずれも 50%オーバーアッシング相当)である。トランジスタ特性の評価にはミニマルデバイススタを用いた。

**【結果と考察】** 表1に、WPA 処理と酸素プラズマ処理でそれぞれレジスト除去を行った場合の pMOS トランジスタの飽和電流値( $I_{sat}$ )と閾値電圧( $V_{th}$ )のウェハ面内 99 チップの平均値とばらつき( $1\sigma/\text{Average}$ )を示す。WPA 処理、酸素プラズマ処理のいずれのサンプルも、面内 99 個すべての pMOS トランジスタが正常に動作したが、WPA 処理を行ったサンプルの方が飽和電流、閾値電圧共に酸素プラズマ処理より面内のばらつきが若干大きくなる傾向が見られた。図3にそれぞれのサンプルの面内 99 チップの閾値電圧の分布を示す。WPA 処理では閾値電圧がやや低いチップが散見されたが、大幅な閾値電圧のシフトは見られなかった。これらの結果から、WPA 処理による Al 上のレジスト除去プロセスは、従来の酸素プラズマアッシングの代替プロセスとして適用可能であると考えられる。当日は、詳細なデバイス特性について議論する。

## 【参考文献】

- [1] T. Ishijima, K. Nosaka, Y. Tanaka, Y. Uesugi, Y. Goto, and H. Horibe, *Appl. Phys. Lett.*, **103**, 142101(2013).
- [2] 三浦他、第 78 回応用物理学会秋季学術講演、6p-C21-10
- [3] 三浦他、第 69 回応用物理学会春季学術講演、24a-E103-13
- [4] T. Aizawa et al., *J. Photopolym. Sci. Technol.*, **35** (2022) 365.

謝辞: この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

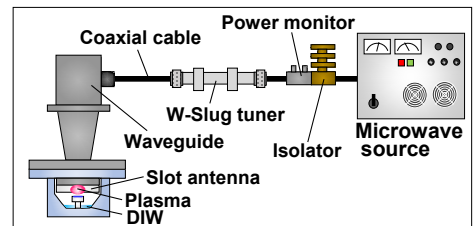


図1 水プラズマアッシング装置の概略図

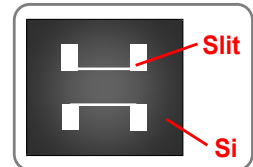


図2 アンテナ形状 (DU)

表1 pMOS トランジスタ 99 個の飽和電流値と閾値電圧

	W#	O <sub>2</sub> plasma	WPA
飽和電流値 ( $I_{sat}$ )	Average [mA]	-3.4	-3.5
	(@ Vg=-10 V)		
	1σ/Ave. [%]	2.8	5.0
閾値電圧 ( $V_{th}$ )	Average [mA]	-0.94	-0.85
	1σ/Ave. [%]	3.2	4.5

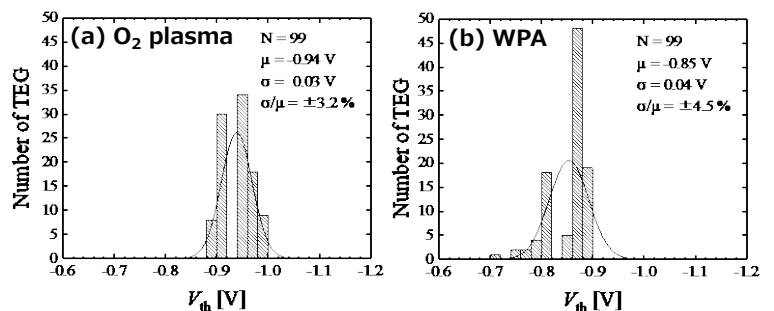


図3 pMOS トランジスタの閾値電圧( $V_{th}$ )分布 (a)O<sub>2</sub>プラズマ, (b)WPA 処理

# ミニマルファブにおけるウェハ面内ばらつき要因の分析

## Analysis of wafer in-plane variation factors in Minimal Fab

○本郷 仁啓<sup>1</sup>、野田 周一<sup>1</sup>、三浦 典子<sup>1</sup>、池田 伸一<sup>1</sup>、原 史朗<sup>1,2</sup>  
(<sup>1</sup>産総研、<sup>2</sup>(株)Hundred Semiconductors)

○H. Hongoh<sup>1</sup>, S. Noda<sup>1</sup>, N. Miura<sup>1</sup>, S. Ikeda<sup>1</sup>, and S. Hara<sup>1,2</sup>  
(<sup>1</sup>AIST and <sup>2</sup>Hundred)

E-mail: Hongoh.Hiroyoshi@minimalfab.com

【背景】ハーフィンチウェハ、幅約 30 cm の製造装置、クリーンルームを不要とする局所クリーン化搬送システムの3つの特徴を有しているミニマルファブ[1]は、2011年に装置開発を開始して以来、装置やプロセスの開発やデバイス試作の実績を積み重ね、2023年にCMOSのPDKを公開したことで、パーソナルデバイスを作れる時代になった。最近では、教育や研究開発の領域でのニーズが高まってきて、歩留まりや諸特性の安定性の向上がさらに重要な課題になっている。

【目的】これまでに、ミニマルファブで作製したデバイスを測定し、そこで得られた結果から、ロット間ばらつき[2]、ウェハ面内ばらつき[3][4]、連続作製デバイスのばらつき[5]について報告してきた。それらの報告の中でも、ウェハ中心に比べて外側ではトランジスタのドレイン電流が低下する傾向があった。ドーピングの不均一性がその一つの要因と解明されたことで、プロセスの改善を日々進めている。トランジスタの電気的特性には、不純物濃度以外にも、酸化膜厚が深くかかわっている。今回、トランジスタ、TLM抵抗、MOSキャパシタが隣接されて含むセルをウェハの全体の99か所に配置して、トランジスタ特性、抵抗特性、キャパシタンスの面内ばらつきを測定し、ドレイン電流  $I_D$ 、閾値電圧  $V_T$ 、キャパシタンス  $C$ 、不純物拡散領域のシート抵抗  $R_{sh}$  のウェハ中心から外周の変化量について解析したところ、ドレイン電流の変動量の47%がキャパシタンスの変動量依存分であった(図1)。そこで、今回は、キャパシタンス量を決定づけるゲート酸化膜の面内均一性について報告する。

【実験】まず、ミニマル pMOS 工程中で、キャパシタンスの不均一性、即ち、ゲート酸化膜の不均一性が生じている工程の特定を試みた。ミニマル抵抗加熱炉を使用してシリコンウェハを酸化してできた酸化膜の厚さを、ミニマル Optical Thickness Tester で測定した。その後、ミニマル RCA 洗浄装置で DHF のエッチングを行い、再度酸化膜厚を測定した。ウェハ面内の測定点全ての結果を図2に示す。中心からの距離が5mm以下については膜厚は円周方向でほぼ一定だった。それぞれの処理後の膜厚分布を比較した結果、DHF エッチング前後で図2のグラフの曲線に大きな違いが無く、このことからドライ酸化終了時から膜厚の不均一性が生じていることがわかった。この実験以前には、一般的にウェット処理の不安定性が無視できないことから、不均一の原因と想定されていた DHF では、かなり均一にエッチングされていたこともわかった。

次に、図3に示す構造のように、シリコンウェハの酸化に用いる抵抗加熱炉は、石英管をヒータが取り囲み、その中央に置かれたウェハを加熱しているところに、大気圧の酸素が供給されてウェハを酸化する。シリコンの酸化速度は温度の関数であることから、図2に見られたウェハの中心部より外周の酸化膜が厚い現象は、酸化中のウェハの中心部より外周で温度が高いことが推察される。取り囲むヒータによって一様に加熱されているため、ウェハの温度は均一に分布すると考えられてきたが、現実には温度分布を生じているので、酸化のために供給した酸素がウェハを冷却する仮説をたて、酸素流量をプロセス標準より少なくして酸化を行い、酸化膜厚の分布の変化を測定した。シリコンウェハのデバイス向け熱酸化プロセスでは、常識的に、常圧での酸素供給量に対して、反応速度の方が遅いため反応律速になっていると考えられる。このため、酸素供給量を多少減らしても、酸化膜厚は減らないことを想定し、次の実験を行った。上述の pMOS プロセスと同じ抵抗加熱炉を使用し、1150 °C の温度下で 15 分間酸化し、酸素流量は、20 ccm (pMOS プロセスの我々の標準流量)、7 ccm、2 ccm とした。

結果を図4に示す。酸化膜厚がウェハの外側で厚くなる現象は、酸素流量を少なくすることによって改善されなかった。酸素流量の変化により、膜厚が変化していた。これは、ウェハに到達する酸素が減少し、実質的に供給律速となる濃度になっていることを意味する。

【考察】酸素流量を少なくしても、酸化膜がウェハ中心より外周で厚くなる現象が変わらないことから、抵抗加熱炉内の温度分布に対しては、酸素の流れによる冷却の影響は極めて小さいと考えられる。また、酸素流量を少なくすると、膜厚のばらつき、中心と外周の変化量がわずかに増加しているのので、酸素流量を増加させることで、更なる特性改善の可能性が考えられる。

【結論】トランジスタ特性の面内均一性に影響する、酸化膜厚がウェハ外周で厚くなる現象について、酸素の気流によってウェハが冷却される仮説に基づいて、酸素流量を制御して行った実験から、酸素の流れが酸化プロセス中のウェハの温度分布に与える影響は小さいことがわかった。今後は、さらに外周部での酸化量の増大の原因の検討を進める。

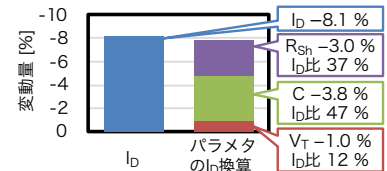


図1 中心・外周(r=5mm)変動量

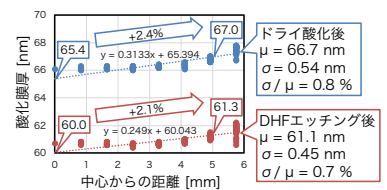


図2 膜厚(酸化後、DHF後)

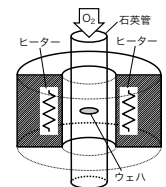


図3 抵抗加熱炉

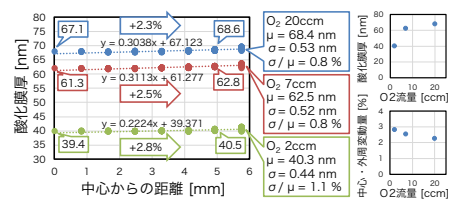


図4 実験結果

- [1] 原史朗、クンプアンソマワン、「ミニマルファブの開発とそのデバイスプロセス」、応用物理、83(5)、380 (2014)。
- [2] 本郷仁啓ら、第70回応用物理学会春季学術講演会 15p-B410-1 (2023)。
- [3] 本郷仁啓ら、第84回応用物理学会秋季学術講演会 20a-A301-7 (2023)。
- [4] 本郷仁啓ら、第71回応用物理学会春季学術講演会 22a-61C-7 (2024)。
- [5] 本郷仁啓ら、第85回応用物理学会秋季学術講演会 16a-B1-2 (2024)。