

一般セッション(口頭講演) | 13 半導体: 13.3 絶縁膜技術

2025年3月17日(月) 13:00 ~ 14:45 皿 K202 (講義棟)

[17p-K202-1~7] 13.3 絶縁膜技術

女屋 崇(東大)

13:00 ~ 13:15

[17p-K202-1]

HKMGスタック作製工程におけるSiO₂/Si界面欠陥の発生と修復○布村 正太¹、森田 行則¹ (1.産総研)

13:15 ~ 13:30

[17p-K202-2]

高誘電率材料TiO₂を用いたMOS構造に関する研究○内田 遥太¹、鬼塚 翔平¹、岩崎 好孝¹、上野 智雄¹ (1.農工大院工)

◆ 奨励賞エントリー

13:30 ~ 13:45

[17p-K202-3]

Ge MOS界面の前酸化と後アニール条件最適化による遅い準位の除去

○(B)高木 駿翼¹、葉 文昌¹ (1.島根大総合理工)

13:45 ~ 14:00

[17p-K202-4]

Ge上ゲートスタックの低温熱処理効果

○鋤釣 一¹、麻生 大聖¹、王 冬²、山本 圭介^{2,3} (1.九大総理工学府、2.九大総理工研究院、3.熊大大学)

14:00 ~ 14:15

[17p-K202-5]

硝酸によるゲルマニウム化学酸化膜の低温形成

原田 京朝¹、○金島 岳¹ (1.近大産業理工)

14:15 ~ 14:30

[17p-K202-6]

硫酸加水を用いたGe基板の低温酸化の検討

○原田 星輝¹、清水 玄¹、橋本 優¹、岩崎 好孝¹、上野 智雄¹ (1.農工大院工)

14:30 ~ 14:45

[17p-K202-7]

CVD法を用いたGeO₂/Ge構造の作製及び評価○鈴木 拓光¹、井上 拓紀¹、石塚 啓太¹、岩崎 好孝¹、上野 智雄¹ (1.農工大院工)

HKMG スタック作製工程における SiO₂/Si 界面欠陥の発生と修復 SiO₂/Si interface defect generation and recovery in HKMG stack fabrication processing

産総研, °布村正太, 森田行則

AIST, °S. Nunomura, Y. Morita

E-mail: s.nunomura@aist.go.jp, y.morita@aist.go.jp

先端半導体デバイスにおいて、シリコン酸化膜/シリコン (SiO₂/Si) 界面の欠陥は、デバイス性能や信頼性の低下を招く。そのため、デバイス作製工程において、界面欠陥 (例えば、ダングリングボンドや不純物等) の発生と修復を理解し、これらの欠陥を低減するプロセス開発を進めることが求められている。通常、欠陥は、デバイス作製後に、C-V 法やチャージポンピング法を用いて評価されるが、評価がデバイス作製後に限定されるため、各工程における欠陥の発生と修復の詳細は理解されていない。そこで、今回、測定に電極を必要としない QSSPC (Quasi-Steady-State Photoconductance) 法を用いて、HKMG (high-k metal-gate) スタックの作製工程における SiO₂/Si 界面の欠陥を評価したので報告する[1]。

HKMG スタックは次の手順により作製した。まず、下地 Si ウエハ (FZ, ≒3kΩcm, 4-inch, 525 μm 厚, (001)面, 表面研磨) を熱酸化法により両面酸化した。次に、スタックを作製する表面側の酸化膜のみ DHF 処理により取り除き、RCA プロセスを用いてケミカル酸化膜 (SiO₂) を 0.8nm 形成した。その後、原子層堆積法 (ALD) 法により HK-HfO₂ 膜を 300 °C で 3.7nm 成膜した[2]。続いて、マグネトロンスパッタ法により MG-TaN 膜を 10.1nm 成膜した。その後、後処理として、デバイス作製工程を模擬する目的で、成膜後アニール (PDA : post-deposition anneal, 600-800 °C, 1 min)、レジスト除去用の酸素プラズマ処理 (300 W, 10 min)、欠陥修復のためのフォーミングガスアニール (FGA, 450 °C, 30min, 3% H₂) を施した。

図 1 に、作製した HKMG スタックの断面 TEM 像を示す。SiO₂/Si 界面が急峻に形成され、HK-HfO₂ 及び MG-TaN 膜が均一に成膜されていることを確認できる。また、HK-HfO₂ が多結晶化し、MG-TaN 膜の上部が酸素プラズマにより酸化していることも確認できる。

図 2 に、QSSPC 法により求めた下地 Si の少数キャリアライフタイムの測定結果を示す。ライフタイムは、ウエハ両面が熱酸化膜でパッシベーションされた初期状態が一番高く (2.3ms)、両面自然酸化膜の as-received の状態で一番低い (2.4μs)。ライフタイムは、HK-HfO₂ 及び MG-TaN 膜の成膜に伴い低下し (15μs)、PDA に伴いさらに低下する (5 μs)。この結果は、これらのプロセスで、SiO₂/Si 界面に欠陥が形成されることを意味する。一方、FGA 後は、ライフタイムが回復することから、欠陥が修復されることがわかる (図右上参照)。ライフタイムの回復、すなわち、欠陥の修復は、PDA の温度に依存することも確認できる。

講演では、実験方法及び結果の詳細を説明し、各工程における欠陥の発生及び修復のメカニズムを考察する。

[1] S. Nunomura and Y. Morita, *Surf. Interfaces* **56**, 105445 (2025).

[2] S. Nunomura, et al., *Appl. Phys. Express* **16**, 061004 (2023).

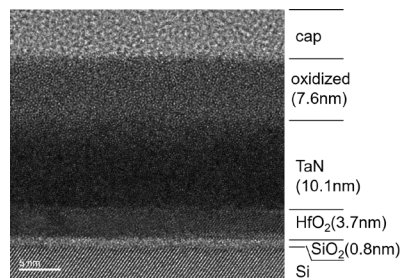


図 1 シリコン上の HKMG スタックの断面 TEM 像[1]。

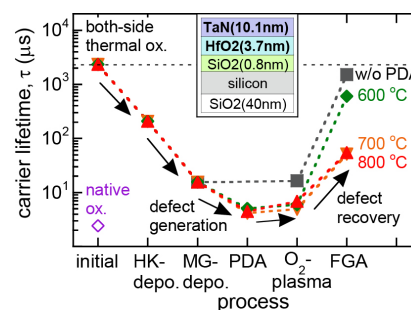


図 2 HKMG スタックの各作製工程におけるキャリアライフタイムの変化[1]。

高誘電率材料 TiO₂ を用いた MOS 構造に関する研究

Research on MOS structure using high dielectric constant materials TiO₂

東京農工大学大学院 ○内田遥太、鬼塚翔平、岩崎好孝、上野智雄

Tokyo univ. of Agri & Tech. ○Yota Uchida, Shohei Onizuka, Yoshitaka Iwazaki, Tomo Ueno

E-mail : s245401y@st.go.tuat.ac.jp

1. 研究背景

これまで集積回路は素子の微細化が進むことで、高密度化、動作高速化、低消費電力化を達成してきた。しかし、微細化の限界が近づくにつれ、ゲートリーク電流の増大や短チャネル効果などの問題が顕在化し、微細化のみに頼った性能向上が困難になりつつある。

そこで微細化以外の高性能化の手法として高移動度(High- μ)材料と高誘電率(High-k)材料を用いることが検討されている。High- μ 材料を用いることでより高速なスイッチング動作が期待でき、High-k 材料を用いて絶縁膜厚を増加させずに容量値を増大させることでより低消費電力での動作が期待できる。

本研究では High- μ 材料としては Si よりも電子、正孔ともにキャリア移動度の高い Ge を用いる。一方、High-k 材料としては誘電率が 60~80 と大きな値を持つ TiO₂ を用いる。しかし、TiO₂ はバンドギャップが 3.2[eV]と小さく、また、TiO₂ と Ge の伝導帯オフセット(CBO)が非常に小さいため直接接合するだけでは絶縁膜としての機能を十分に果たせないと考えられる。そのため、本研究では High-k 材料の積層構造を提案し、TiO₂ との伝導帯オフセット、価電子帯オフセットともに十分大きい Al₂O₃ を使い、Al₂O₃/TiO₂/Ge 構造を作製することで絶縁膜としての機能を果たしつつ、高誘電率を維持することを目標としている。

2. 実験方法

Table.1 に実験手順を示す。n-Ge 基板を洗浄後、反応性スパッタを用いて TiO₂/n-Ge 構造および Al₂O₃/TiO₂/n-Ge 構造を作成した後、一部のサンプルに 300°C で 30 分間 N₂ アニールを行った。

Table.1 Experimental procedure

| Sample number | 1 | 2 | 3 | 4 |
|-----------------------------------|---|------------------|---|------------------|
| 洗浄 | 有機洗浄, HF 洗浄 | | | |
| TiO ₂ 堆積 | 反応性スパッタ-6[nm] (Ar:50[sccm], O ₂ :50[sccm], DCターゲット電力:50[W], 時間:120[sec]) | | | |
| Al ₂ O ₃ 堆積 | | | 反応性スパッタ-10[nm] (Ar:30[sccm], O ₂ :50[sccm], DCターゲット電力:50[W], 時間:60[sec]) | |
| N ₂ アニール | | 300[°C], 30[min] | | 300[°C], 30[min] |

3. 実験結果・考察

各サンプルの J-E 測定結果を Fig.1 に示す。Fig.1 から TiO₂/n-Ge 構造と比較して Al₂O₃/TiO₂/n-Ge 構造ではリーク電流が 3~4 桁ほど抑制されていることが分かる。これにより Al₂O₃ を積層することで絶縁性が向上したことがわかる。しかし、

Al₂O₃/TiO₂/n-Ge 構造(サンプル 3)では電子蓄積状態となる正バイアス側でリーク電流が負バイアス側よりも増加し、非対称性が生じていることが分かる。これは TiO₂ にかかる電界が正バイアス印加時の Ge の伝導帯に対する Al₂O₃ の障壁高さの低下を招き、実効的な Al₂O₃ の障壁高さが下がるためであると考えられる。

これに対して、上記サンプル 3 に N₂ アニールを施したサンプル 4 では正バイアス印加時のリーク電流が 2~3 桁ほど改善されており、サンプル 3 で見られる非対称性も低下している。これは N₂ アニールにより Al₂O₃ と TiO₂ がミキシングし、AlTiO/Ge の界面構造に近づき、絶縁膜/Ge 界面における CBO が増大したためと考えられる。

次に各サンプルの C-V 測定結果 Fig.2~5 に示す。サンプル 1~3 では蓄積領域で容量値に周波数分散が見られる。これは TiO₂/Ge 界面で電子を十分に止められていないためであると考えられる。一方、サンプル 4 では N₂ アニールを行うことで周波数分散が抑制されており、このことから N₂ アニールによってミキシングが起こったことが示唆されている。

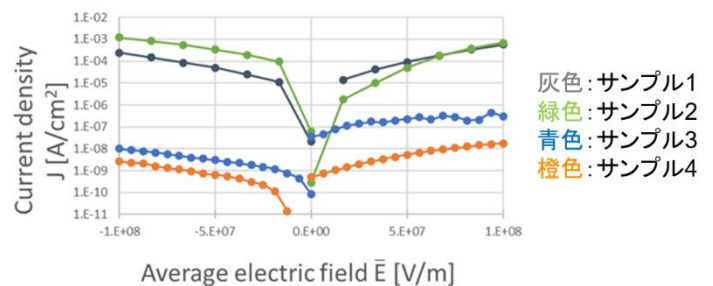


Fig.1 J-E measurement

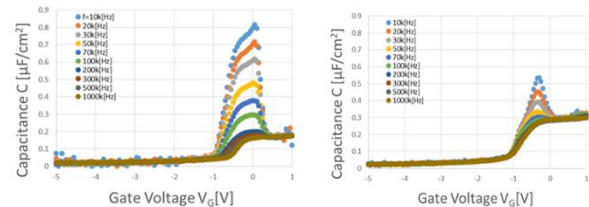


Fig.2 sample1

Fig.3 sample2

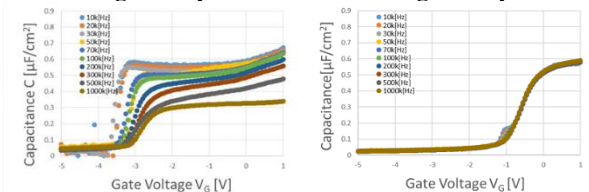


Fig.4 sample3

Fig.5 sample4

4. 今後の展望

今回は n-Ge 基板に対して検討したが、今後は p-Ge 基板に対する挙動についても検討を進めていきたい。

Ge MOS 界面の前酸化と後アニール条件最適化による遅い準位の除去

Elimination of slow traps in Ge MOS interface by optimizing pre-oxidization and post annealing

島根大学 総合理工学部 °(B)高木 駿翼, 葉 文昌

Shimane Univ., °Takaki Shunsuke, Yeh Wenchang

E-mail: yeh@riko.shimane-u.ac.jp

はじめに Ge は次世代 MOSFET 材料として期待されているが、ゲートスタックの界面準位、特に遅い界面準位が課題となっている。界面準位の低減には、熱酸/窒化界面層の挿入や、後アニールが有効であることが報告されている。本研究では Al/スパッタ SiO₂/nGe MOS 構造について、熱酸/窒化膜条件および後アニール条件により遅い界面準位密度を除去できることを示す。

実験方法 0.06–0.21Ωcm の(001)nGe 基板(AXT 社製)をオゾン水洗浄と 1%HF 水溶液処理した後に 100nmSiO₂膜をスパッタ堆積し、Al 電極を熱蒸着して MOS 構造を形成した。SiO₂堆積前の insitu 処理には、330°C酸素プラズマ酸化(PO)、100Pa450°C熱酸化(TO)、100Pa450°C熱窒化(TN)を、堆積後の exsitu 処理には 600°C真空アニール(VA)を、更に MOS 形成後には 380°Cフォーミングガスアニール(FGA)/260°C9.3atm 水蒸気アニール(HPSA)/FGA(FHF処理)を行った。フラットバンド電圧 V_{FB} の 1MHz でのヒステリシス ΔV_{FB} を遅い界面準位に依存するとして評価した。

実験結果 Fig. 1に代表的なMOSCAPのCV特性を示す。様々な前後処理後の V_{FB}と ΔV_{FB}を Fig2 にまとめた。後アニールなしでは ΔV_{FB} はPN→TN→TO の順に改善した。後アニールのFHF処理によりどれも大幅に良くなるがTOが最もよかった。TO試料の後アニール依存性については、VAは効果的で、更にFHFを行うことで ΔV_{FB}=0 となった。FGAかHPSAの単独処理では効果は限定的だった。ΔV_{FB}=0 となった試料では、界面準位密度 D_{it}も最も良くなった。

結論 Ge MOS 界面の前酸化と後アニール条件最適化を行った。前処理ではTO、後処理では VA と FHF を行うことで ΔV_{FB}をなくすことに成功した。

文献 [1] A.Toriumi and T.Nishimura, Jpn. J. Appl. Phys. 57 (2018) 010101, [2] M.Ke et al.,IEDM18–791

謝辞 本研究の一部は葉文昌寄付金によりなされた。東大の鳥海 明先生、高木信一先生、西村知紀先生からのGeウェーハご提供に感謝します。

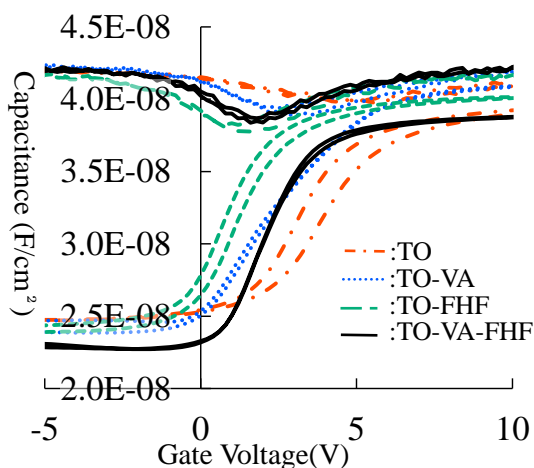


Fig.1 MOS-CV(1kHz-1MHz)

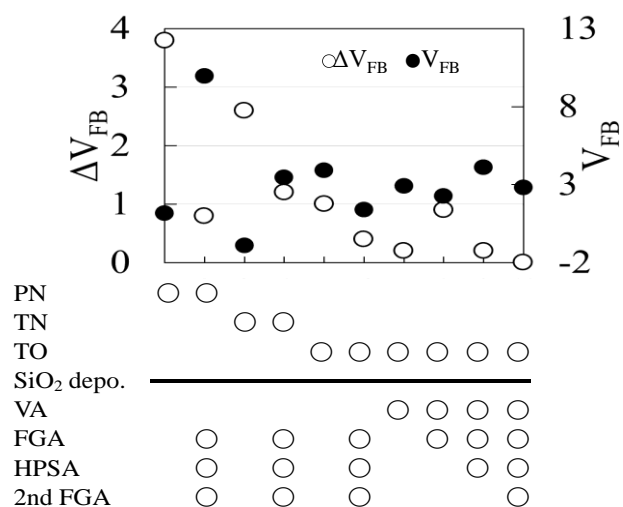


Fig.2 ΔV_{FB} V_{FB} のプロセス依存性

Ge 上ゲートスタックの低温熱処理効果

Low temperature annealing effect on Ge gate stack

九州大学大学院総合理工学府¹/研究院², 熊本大学半導体・デジタル研究教育機構³

○鍛釣 一¹, 麻生 大聖¹, 王 冬², 山本 圭介^{2,3}

IGSES Kyushu Univ.¹, FES Kyushu Univ.², REISI Kumamoto Univ.³

○Hajime Kuwazuru¹, Taisei Aso¹, Dong Wang², Keisuke Yamamoto^{2,3}

E-mail: kuwazuru.hajime.876@s.kyushu-u.ac.jp

1. はじめに ゲルマニウム (Ge) は高性能 TFT やスピン MOSFET、GeSn 赤外線素子等の多岐に渡る応用が期待されている。しかし、これらのデバイスの共通課題として低温でのデバイス化、特に絶縁膜形成が必須となる。当グループはこれまでに、SiO₂/GeO₂ ゲートスタックを有する Ge MOS キャパシタ (CAP) において、熱処理温度の低減に伴いフラットバンド電圧 (V_{FB}) が増加することを見出し、その原因は GeO₂ のサブオキシド化の抑制に伴う SiO₂/GeO₂ 界面でのダイポール減少によるものとモデル化を行った[1]。今回、同ゲートスタックの低温熱処理効果を詳細に調査するため、熱処理温度、時間を系統的に変化させ、Ge MOSCAP の電気的特性を評価した。

2. 試料作製 Ge スピン MOSFET への応用を考慮し、強磁性金属のエピタキシャル成長面である(111)面 p-, n-Ge 基板を使用した[2]。基板の化学洗浄後、ゲートスタックとして SiO₂/GeO₂ (20/3 nm) 構造を ECR プラズマプロセスにて順次形成し、堆積後熱処理 (PDA) として N₂ 雰囲気中で 210 °C または 450 °C にて 30~240 min 行った。その後、Al ゲート電極を形成し MOSCAP を作製した。MOSCAP の C-V 特性から V_{FB} 、ヒステリシス (HT)、および等価容量換算膜厚 (CET) を算出した。

3. 結果 Fig. 1 (a), (b)にそれぞれ PDA 温度 210 °C, 450 °C で作製した p-MOSCAP の C-V 特性を示す。PDA 時間を変化させた際に、PDA 温度 450 °C においては V_{FB} に大きな変化がない一方で、PDA 温度 210 °C においては V_{FB} の変化が確認された。Fig. 2, 3 に V_{FB} および HT の PDA 時間依存性を示す。PDA 温度 210 °C で作製した試料では、PDA 時間 60 min において V_{FB} が減少しており、その後の長時間熱処理によって V_{FB} が増加していることが分かる。一方で PDA 温度 450 °C で作製した試料においては V_{FB} の変化が小さいことが分かる。この結果から、PDA 温度 450 °C では PDA 時間 30 min の時点で V_{FB} を決定づける固定電荷密度 (Q_{fix}) および界面ダイポール (δ_{dipole}) の生成や変調が完了していることが考えられる。一方で PDA 温度 210 °C においては、PDA 時間 60 min を境として V_{FB} の増減が変化しており、 Q_{fix} と δ_{dipole} のどちらか、あるいは双方が変調していると考えられる。次に HT について、PDA 温度 450 °C では p-, n-MOSCAP とともに同程度の HT 幅であったのに対し、PDA 温度 210 °C においては p-MOSCAP の HT 幅は PDA 温度 450 °C で作製した試料より小さく、n-MOSCAP の HT 幅は PDA 温度 450 °C で作製した試料より大きい結果となった。また、210 °C の低温においても PDA 時間を増加させることで HT を大幅に低減できることが判明した。講演では、 Q_{fix} 、 δ_{dipole} および界面欠陥評価結果についても報告する。

謝辞 本研究は科研費 (No. 24K07576, 24H00034)、NEDO (P14004)、JST-CREST (JPMJCR21C2)、および RIEC 共同プロジェクト (No. R06/A06)の支援を受けた。
参考文献 [1] H. Kuwazuru et al., Mater. Sci. Semicond. Process. 178 (2024) 108427. [2] K. Hamaya et al., J. Phys. D Appl. Phys. 51 (2018) 393001.

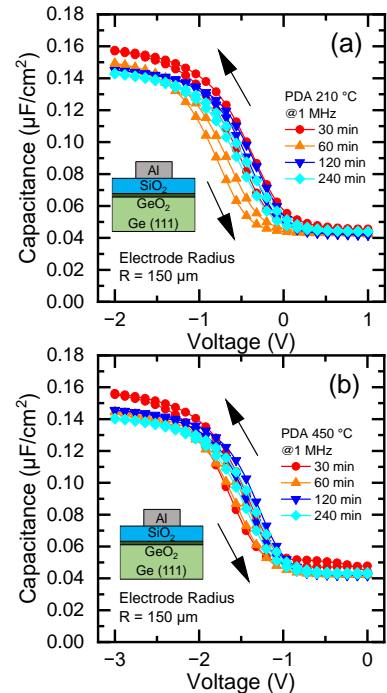


Fig. 1. High frequency (1 MHz) C-V characteristics of Ge p-MOSCAPs fabricated at (a) 210 °C and (b) 450 °C with various annealing time.

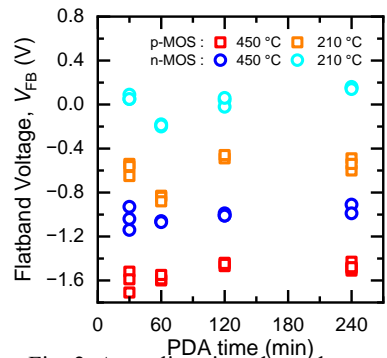


Fig. 2. Annealing time dependence of V_{FB} .

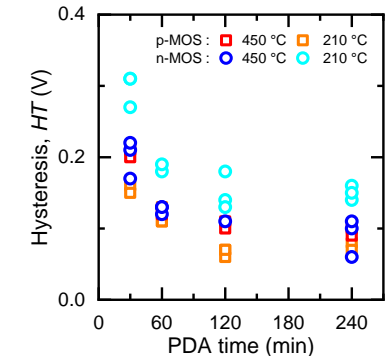


Fig. 3. Annealing time dependence of HT.

硝酸によるゲルマニウム化学酸化膜の低温形成

Chemical oxidation of germanium by nitric acid at low temperature

近大産業理工¹, 原田京朝¹, 金島岳¹

Kindai Univ.¹, Atsutoki Harada¹, Takeshi Kanashima¹

E-mail: kanashima@fuk.kindai.ac.jp

高い移動度を持ち、発光・受光素子として動作が可能なゲルマニウム (Ge) が新たなチャンネル材料として注目されている。しかし、シリコンと異なり、Ge/GeO₂ 界面が熱的に不安定であり、さらに、その熱酸化膜が水溶性であることなどから良好な Ge/GeO₂ 界面を持つ MOS の形成が困難である。そこで、高圧酸素中での酸化 [1] や GeO₂ を用いないエピタキシャル酸化膜 [2] などが提案されているが、ここではより低温かつ簡易に形成できる方法として、化学酸化膜に注目した。硝酸やフッ酸を用いた化学酸化膜は既に報告があるが [3, 4]、厚膜であることから、今回パッファ層などに用いられる極薄膜の形成の可能性について調べた。

p-Ge(100) 基板をアセトンで有機洗浄し、塩酸 (HCl(35%): H₂O = 1:2) で表面処理後、硝酸 (60%) や硫酸と硝酸の混酸に浸漬することで、化学酸化を行った。酸化時の温度は室温または 0 °C とした。その後、表面に金 (Au) またはアルミニウム (Al) 上部電極を抵抗加熱蒸着により形成し絶縁性の評価を行った。

硝酸 (35%) に 1 時間程度浸漬した Ge 試料の顕微鏡写真を図 1 に示す。図に示されるように、表面は非常に荒れたものとなっていた。この試料に対し上部に直径約 150 μm の Al 電極を形成し、3 点測定した電流 - 電圧特性を図 2 に示す。良好な絶縁性が得られていることが分かり、GeO₂ 膜が形成されていると考えられ、報告 [3, 4] と同様な結果を得ることが出来た。熱酸化で形成する GeO₂ は一般に水溶であることが知られているが、硝酸浸漬により作製した酸化膜を純水中に 30 分浸漬したところ、絶縁性を保っているところも見られた。すなわち、この化学酸化膜は、ある程度の耐水性を持つことが示唆され、硝酸による酸化速度が速ければ、化学酸化膜が成長すると考えられる。そこで、硝酸濃度および時間を変えることで薄膜化を目指したところ、HNO₃:H₂O=1:100 で長時間の浸漬により極薄膜の形成を示唆する結果を得ることが出来た。詳細は当日発表する。



Fig. 1. Ge surface after chemical oxidation by using HNO₃.

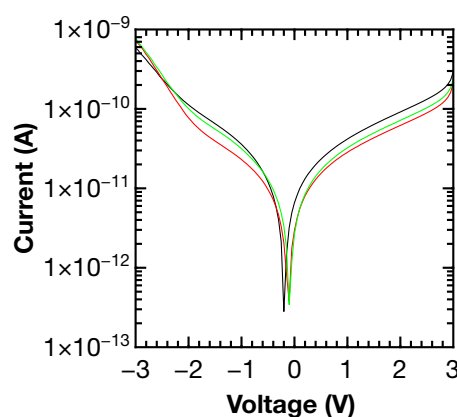


Fig. 2. *I* - *V* characteristics of aluminum/chemical oxide/p-Ge structure.

- [1] A. Toriumi, and T. Nishimura, Jpn. J. Appl. Phys. **57**, 010101 (2018).
- [2] T. Kanashima, et al. Materials Sci. in Semiconductor Processing **70**, 260 (2017).
- [3] E. W. Valyocsik, J. Electrochem. Soc. **114**, 176 (1967).
- [4] O. J. Gregory, et. al. Journal of The Electrochemical Society, **135**, 923 (1988).

硫酸加水を用いた Ge 基板の低温酸化の検討

Investigation of low-temperature oxidation of Ge substrates using sulfuric acid additive

東京農工大学大学院¹ ○原田星輝¹, 清水玄¹, 橋本優¹, 岩崎好孝¹, 上野智雄¹

Tokyo univ. of Agri. & Tech.¹ ○Hoshiki Harata¹, Gen Shimizu¹, Yu Hashimoto, Yoshitaka Iwazaki¹, Tomo Ueno¹

E-mail: s249041u@st.go.tuat.ac.jp

1. 研究背景

現在, MOSFET のチャネル材料として主に Si が用いられ, ゲート絶縁膜には SiO₂ が多用されている. Si-MOSFET の研究は盛んに行われているが, 一方で微細化による高性能は限界を迎えつつある. さらに素子サイズの大きさは原子数個分のレベルに到達しており, 微細化に頼らない高性能化が可能なチャネル材料が求められている. そこで Si に代わって新たなチャネル材料として注目されているのが Ge である. Ge は Si と比べると電子正孔移動度が大きいといった特徴があり, チャネル長を縮小させずに, 素子動作の高速化が期待できる.

しかし, Ge-MOSFET の場合では, 熱酸化法を用いて, GeO₂ を成膜をする際, 熱的不安定性から Ge/GeO₂ 界面で GeO 脱離が生じ, 良好な特性を示す絶縁膜が成膜できないといった問題がある. 解決法として, 本研究では, 比較的低温による酸化手法である化学溶液酸化法を用いた. この手法は, 約 70~100℃で Ge 基板を化学溶液内に投入し, 酸化を行うものであるため, 低温での酸化が可能であり, GeO 脱離が起こらず, 良好な特性を示す絶縁膜が成膜できる可能性が期待できる. 一方, GeO₂ は水溶性を有するため, 化学溶液として水を含まないものを選択する必要がある.

私たちはこれまで, 化学溶液として硫酸加水(硫酸+過酸化水素)を用いて, 硫酸加水内に Ge 基板を投入し, 酸化を行ってきた. その結果, MOS 構造における表面電位制御の可能性を示す C-V 特性が確認されている. しかし, 各種酸化条件を振った際の詳細な特性等は解明されているとは言い難い. 本研究では, 異なる温度で溶液酸化を行い, 作成したサンプルの電気的特性の評価および表面分析を行った.

2. 実験方法

実験条件を Table 1 に示す. p-Ge 基板を Table 1 に示すような 3 種類の条件で GeO₂ 膜の成膜を行った.

Table 1 Experimental conditions

| 条件 | 条件① | 条件② | 条件③ |
|------|------------------|-------|-------|
| 使用基板 | p-Ge(100) | | |
| 洗浄 | 有機洗浄, フッ酸 | | |
| 初期溶液 | 硫酸加水(硫酸+過酸化水素+水) | | |
| 酸化溶液 | 硫酸加水(硫酸+過酸化水素) | | |
| 溶液温度 | 80℃ or 90℃ | | |
| 酸化時間 | 5min | 10min | 15min |

初めに, p-Ge(100)基板を有機洗浄及び, フッ酸洗浄を行った. 次に, ビーカーに硫酸, 過酸化水素をモル比 1:1 の割合で混合した溶液を作成し, オイルバス内に入れ, Fig.1 のように溶液を升温させた.

その際, 溶液内の水が完全に蒸発したことを確認するため, 升温の飽和と再升温を確認した. 溶液の

温度を 80℃, 90℃にそれぞれ降温させ, 温度を一定に保ち, Ge 基板を溶液内に投入し, 成膜時間 5,10,15 分間で GeO₂ の成膜を行った. その後, 作成した各サンプルに対して XPS 測定, J-V 測定を行った.

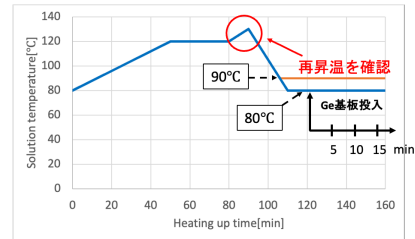


Fig.1 Process of raising the temperature of the solution

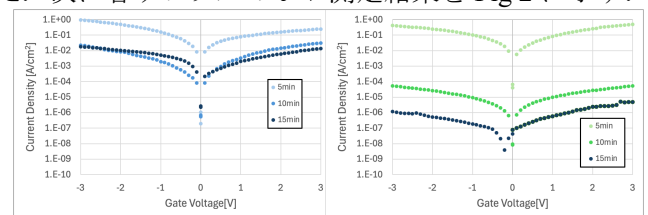
3. 実験結果・考察

各サンプルにおける XPS 測定から算出した GeO₂ の膜厚値を Table 2 に示す.

Table 2 GeO₂ film thickness

| | 酸化温度 [°C] | 酸化時間 [min] | | |
|--|-----------|------------|--------|--------|
| | | 5 | 10 | 15 |
| | 80 | 0.94nm | 1.26nm | 1.33nm |
| | 90 | 1.03nm | 1.47nm | 1.98nm |

XPS 測定の結果から各サンプルの GeO₂ の膜厚値は Table 2 に示した値となった. 酸化時間が経過すると膜厚値が大きくなることが確認できた. また, 酸化温度に関わらず, すべてのサンプルにおいて, 数 nm 程の非常に薄い膜が成膜されていることが確認できた. 次に各サンプルの J-V 測定結果を Fig 2 に示す.



(a) 80℃

(b) 90℃

Fig. 2 J-V measurement results (80℃)

Fig. 2 の J-V 測定結果から異なる温度においても酸化時間が経過すると, 絶縁性が向上していることが確認できた. この絶縁性の向上と XPS 測定で得られた各サブオキシドの組成状態の相関について当日, 考察を行う予定である.

4. まとめ・今後の展望

本研究では, 異なる温度で溶液酸化を行い, 作成したサンプルの電気的特性の評価および表面分析を行った. 測定結果から酸化温度が高い方が, Ge⁴⁺の割合の増加が多く, それによる絶縁性の向上が確認できた. 今後は, 硫酸, 過酸化水素の混合比率を変化させた際の酸化レートおよびエッチング効果がどのように変化するか検証していきたい.

CVD 法を用いた GeO₂/Ge 構造の作製及び評価

Preparation and evaluation of GeO₂/Ge structure using CVD method.

農工大院工、[○]鈴木拓光、井上拓紀、石塚啓太、岩崎好孝、上野智雄

Tokyo Univ. of Agri. & Tech. Takumi Suzuki, Hiroki Inoue, Keita Ishizuka, Yoshitaka Iwazaki, Tomo Ueno

Email: s241343r@st.go.tuat.ac.jp

1. 研究背景

Ge-MOS は Ge 自体が有する高い電子移動度から、次世代半導体デバイス材料の有力候補と注目されている。そしてその酸化物である GeO₂ は絶縁膜及び High-k/Ge 構造の界面層として期待される一方、GeO₂ の成膜手法として広く用いられる熱酸化法では、FinFET, GAA 等の立体チャンネルに応用する際、均一に成膜できない等の問題が挙げられる。

そこで、本研究では GeO₂ 作製手法として段差被覆性がよく、均一に成膜できる Chemical Vapor deposition (CVD) 法を採用し、良質な GeO₂/Ge 構造の作製と評価を行った。しかし、CVD 法では成膜中に原料由来の不純物を取り込まれるため、膜質の詳しい調査を行う必要がある。

本稿では、トランジスタのスイッチング動作に大きな影響を及ぼす、GeO₂ 膜の絶縁性について検証した。

2. 実験方法

p-Ge(100)基盤にアセトン及びエタノールを用いた超音波洗浄を行い、その後フッ酸による自然酸化膜の除去を行った。基盤洗浄後、tetra-ethyl-germanium(TEGe)と O₂ を供給する CVD 法で GeO₂ 膜を成膜した。成膜条件は以下 Table.1 に示す。

Table.1 CVD Film forming conditions

| 条件項目 | 成膜圧力 [Torr] | O ₂ 流量 [sccm] | TEGe流量 [sccm] | 成膜温度 [°C] | 成膜時間 [min] |
|------|-------------|--------------------------|---------------|-----------|------------|
| 数値 | 8 | 65 | 10 | 500 | 5 |

上記 CVD 成膜条件にて、GeO₂ 膜を 500°C の基盤温度で成膜後、N₂ 及び O₂ による 300°C 10min の低温アニールを施し、Al 電極を真空蒸着後、J-V 測定による絶縁性評価を行った。また、各サンプルについての膜厚と組成を検証するため、XPS 測定を行った。

3. 実験結果・考察

アニール処理を施したサンプルの J-V 測定結果を Fig.1 に示し、横軸のゲート印加電圧を、絶縁膜全体の平均電界を用いて規格化したものを Fig.2 に示した。平均電界は Fig.3 に示す XPS 測定結果より算出した。

Fig.1 より、アニール処理によってリーク電流が抑制されている事が確認できる。しかし、Fig.3 より算出された膜厚を参照すると、絶縁性向上は膜厚の増加に起因している可能性があると考えられ

る。そこで、膜厚の違いを加味した絶縁性の比較を Fig.2 にて確認した。その結果においても良好なリーク特性が見られるため、Fig.3 に示す XPS 測定結果より絶縁性向上の要因を考察した。

Fig.3 に着目すると、N₂ アニールを施したサンプルは、As grown に比べて Ge の酸化ピークがサブオキサイド側へシフトしている事が確認できる。これは N₂ による純粋な加熱処理にて、GeO₂ 膜がサブオキサイドリッチな状態になったと考えられる。対して、O₂ アニールを施したサンプルでは As grown に対して Ge の酸化ピークはほとんど変化しなかったが、N₂ アニールを施したサンプルよりも更に膜厚が増加した。したがって、今回の絶縁性向上は Ge-O 間の結合状態の変化には直接起因せず、他の要因によるものであると結論付けられる。

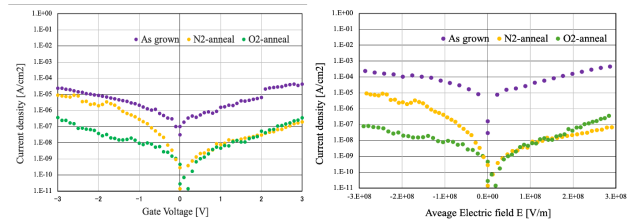


Fig.1 J-V measurement

Fig.2 Normalized measurement

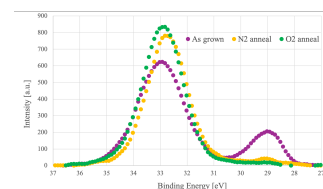


Fig.3 XPS measurement

4. 今後の展望

今回の実験結果より、GeO₂ 膜に N₂ 及び O₂ アニール処理を施すことでリーク電流が抑制できることが示唆された。今後は、GeO₂ 膜に Ge や O 以外の不純物を取り込まれている可能性を検討し、アニール処理による膜厚増加の要因も調査したいと考えている。また、300°C 以外の低温アニールを用いた絶縁性の温度依存性についても検証予定である。

【謝辞】

本研究の一部、CVD 原料及び供給法に関して、気相成長株式会社 の町田氏、石川氏、須藤氏の協力を得た。